
DIGITAL-TRAINER

Typ 3510

Gerätebeschreibung



© **hps SystemTechnik**
Lehr- + Lernmittel GmbH
Altdorfer Straße 16
Postfach 11 63
7981 Berg bei Ravensburg
Telefon: (07 51) 4 30 07*
Telefax: (07 51) 5 39 54
Telex: 7 32 980 hpssy d

Bestell-Nr.: V 3510

Nachdruck, auch in abgeänderter Form, ist nur mit ausdrücklicher Genehmigung des Herausgebers unter Quellenangabe gestattet.



INHALT

1. Einleitung
2. Im Digital-Trainer enthaltene Funktionsgruppen
3. Beschreibung der Funktionsgruppen
4. Technische Daten, allgemeine Hinweise

1. EINLEITUNG

Der hps-DIGITAL-TRAINER, Typ 3510, ist ein universelles Gerät zum Demonstrieren, Überprüfen, Entwerfen und Kontrollieren logischer Schaltungen und Systeme der Digitaltechnik.

Durch die ausreichend vorhandenen logischen Standardbausteine wie Gatter, Flipflops, Speicher, Schieberegister, Addierer, Decodierer, Zähler, Untersetzer, Monoflops, Taktgeneratoren sowie Ein- und Ausgabeeinheiten (Schalter, Taster, Indikatorlampen, Relais und 7-Segment-Anzeigeeinheiten) sind mit diesem Gerät auch komplizierte sequentiell-kombinierte Schaltungen realisierbar.

Mit Hilfe der verfügbaren Gatter (UND/NAND, ODER/NOR, Inverter), der Eingangsvariablenschalter und der Indikatorlampen sind alle Gesetzmäßigkeiten der Booleschen Algebra leicht vorzuführen. Dies macht das Gerät besonders für Berufsschulen, Werkschulen, Realschulen, Gymnasien u.ä. Schulen sehr interessant.

Die komplexeren, fertigverschalteten Digitalisierungen wie Schieberegister, Flipflops, Addierer, Untersetzer, Decoder, Speicher usw. erlauben in anschaulicher Weise die Vorführung dieser Digitalsysteme, insbesondere durch die optische Anzeige des logischen Zustandes durch die Indikatorlampen.

Diese Bausteine können aber auch in umfangreichere Schaltungen eingesetzt werden, z.B. für sequentielle logische Verknüpfungen. Damit ist man in der Lage, fast alle geläufigen industriellen Schaltungstypen aufzubauen und zu überprüfen, so daß das Gerät in hohem Maße auch für den Einsatz an Techniker-Schulen, Fachhoch-Schulen, Hochschulen und Entwicklungslabors geeignet ist.

Besonders für den Entwickler von Digitalschaltungen bietet sich dieses Gerät an: In kurzer Zeit läßt sich elegant die entworfene Schaltung auf ihre Richtigkeit hin überprüfen, was eine erhebliche Zeiteinsparung bedeutet, da normalerweise das theoretische Durchdenken eines Funktionsablaufes wesentlich schwieriger ist.

Sehr vorteilhaft zeigt sich zur Überprüfung von sequentiellen Schaltungen der langsame Funktionsablauf, weil man damit sehr einfach entstandene Fehler, die sich bei der Auslegung eingeschlichen haben, feststellen und korrigieren kann, was bei schnellem Ablauf meistens nur schwer möglich ist.

Der Trainer ist so konstruiert, daß nur noch die logisch wichtigsten Verbindungen gesteckt werden müssen, da alle anderen bereits intern vorhanden sind.

Im Normalfall können unbenutzte Eingänge unbeschaltet bleiben. Dadurch ist der Trainer nicht an eine digitale Schaltungstechnik gebunden (z.B. LSL, DTL, TTL usw.), so daß auf dem Papier konzipierte Schaltungen direkt ohne Schwierigkeiten auf die Steckplatte des Gerätes übertragen werden können.

Zur Durchführung von Versuchen werden die hps Handbücher "Statische Verknüpfungen" (V 0035) und "Sequentielle logische Schaltungen" (V 0036) empfohlen. Die in ihnen enthaltenen ca. 200 Schaltungsbeispiele sollen zur Anregung dienen. Zwar stellen sie einen repräsentativen Querschnitt von Schaltungen der Digitaltechnik dar, doch die Realisierungsmöglichkeiten anderer Schaltungen mit diesem Gerät sind fast unbegrenzt.

Zur Erhöhung des Lernerfolges ist es pädagogisch empfehlenswert, nicht die fertige Schaltung, sondern nur das Grundprinzip aus den Handbüchern zu ent-

nehmen, um dann selbst mit dem Digital-Trainer die Schaltung durch Überlegen und Ausprobieren herauszufinden.

Man wird nach kurzem Gebrauch feststellen, daß dieses Gerät intensiv zum Ausprobieren selbstentwerfener Schaltungen anregt, da man innerhalb kurzer Zeit feststellen kann, ob der Entwurf richtig war.

Alle Symbole auf der Frontplatte sind nach DIN 40700/14 genormt bzw. so gezeichnet, daß sie eindeutig sind.

Zum ersten Einarbeiten empfiehlt es sich, falls erforderlich, die Funktionsbeschreibung der einzelnen Bausteine auf den Seiten 6...25 durchzulesen und entsprechend auszuprobieren.

Das Gerät ist so dimensioniert, daß durch Fehlschaltungen keine Bausteine zerstört werden können.

Als weitere hps-Handbücher auf dem Gebiet der Digitaltechnik werden empfohlen:

"Grundzüge der Digitaltechnik" (V 0005)

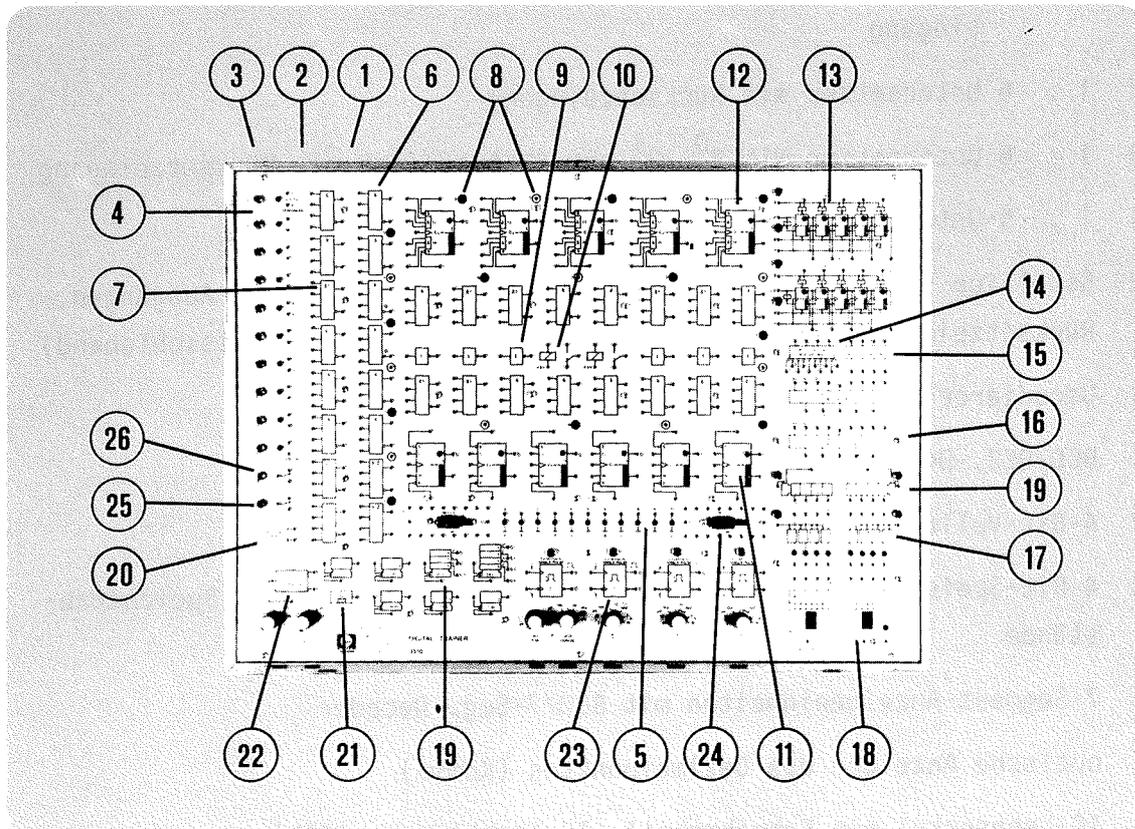
"Einführung in die Digitaltechnik" (V 0034)

4. Im DIGITAL-TRAINER enthaltene Funktionsgruppen

- 10 Eingangsvariablenschalter mit Q- und \bar{Q} -Ausgängen, optische Anzeige des 1-Zustandes durch Leuchtdioden, davon 4 Ausgänge zusätzlich entprellt
 - 1 unbeschalteter Kippschalter
 - 1 unbeschalteter Taster
 - 20 AND/NAND-Glieder mit je 4 Eingängen, davon 2 Glieder mit Schmitt-Trigger-Eingängen
 - 12 OR/NOR-Glieder mit je 4 Eingängen
 - 6 Leistungsinverter (fan out n = 30)
 - 2 Relais 1 A, 20 V-, 60 V~, 0,7 ms
 - 5 JK-MS-Flipflops mit je 3 J- und K-Eingängen, statische Setz- und Rücksetzeingänge, optische Anzeige der Q-Zustände durch rote Leuchtdioden
 - 6 JK-MS-Flipflops mit je 1 J- und K-Eingang, statische Setz- und Rücksetzeingänge, optische Anzeige der Q-Zustände durch Leuchtdioden.
 - 11 Indikatorlampen (rote Leuchtdioden)
 - 1 Taktgenerator 50 Hz mit Q- und \bar{Q} -Ausgang (Netzfrequenz)
 - 1 Taktgenerator 1,00000 MHz (quarzstabilisiert)
 - 1 Taktgenerator, variabel von 0,1 Hz...100 kHz, in 6 Stufen
 - 1 Monoflop mit Q- und \bar{Q} -Ausgang, Auslösung mit positiver oder negativer Flanke (Schmitt-Trigger-Eingang) sowie Einzeltakt durch Taste, Impulsbreite variabel von 1 μ s...10 s in 7 Stufen einstellbar.
 - 3 Monoflops mit Q- und \bar{Q} -Ausgang, Auslösung mit positiver oder negativer Flanke (Schmitt-Trigger-Eingang), Impulsbreite von 1 μ s...10 s in 7 Stufen fest einstellbar (Monoflop = monostabile Kippstufe)
- Untersetzer:
- 1 1 : 1000 Untersetzer mit Rücksetzeingang
 - 1 1 : 100 Untersetzer mit Rücksetzeingang

- 1 1 : 10 Untersetzer mit Rücksetzeingang
- 3 1 : 10 Untersetzer mit 2^0 , 2^1 , 2^2 und 2^3 Ausgängen und Rücksetzeingang
- 1 1 : 6 Untersetzer mit Rücksetzeingang
- 1 1 : 6 Untersetzer mit 2^0 , 2^1 und 2^2 Ausgängen mit Rücksetzeingang
- 1 1 : 5 Untersetzer mit Rücksetzeingang
- 2 5stellige Schieberegister mit parallelen Eingängen und Ausgängen, Rücksetzeingang, optische Anzeige der Q-Zustände (rechtsschiebend)
- 1 Umcodierer 8421-BCD \rightarrow Neunerkomplement
- 1 BCD/DEZ.-Decoder
- 2 4-Bit-Volladdierer
- 2 4-Bit-Speicher (D-Flipflops) mit optischer Anzeige der Speicherzustände
- 2 7-Segment-Anzeigeeinheiten mit BCD/7-Seg.-Decoder
- 3 optische Anzeigen des Dezimalpunktes (Komma)
- 2 IC-Leersockel mit Entnahmekeil, 16 Anschlüsse, (DIL)
- 12 Buchsen für logisch "0" (L)
- 10 Buchsen für logisch "1" (H)

3. Beschreibung der Funktionsgruppen



Der hps-DIGITAL-TRAINER, Typ 3510, ist mit integrierten Bausteinen in der bewährten TTL-Technik bestückt (TTL = Transistor-Transistor-Logik). Es wird die positive Logik mit normaler Zuordnung der logischen Zustände benutzt:

Der logische Zustand EINS (log. "1", H) entspricht einem typischen Spannungspegel von ca. +3 V, der logische Zustand NULL (log. "0", L) entspricht einem typischen Spannungspegel von ca. 0,2 V.

Falls nicht im folgenden besonders vermerkt, bedeutet ein offener, ungeschalteter Eingang log. "1".

Die typischen Durchlaufverzögerungen liegen im Bereich zwischen 10...50 ns; die typischen maximalen Taktfrequenzen der einzelnen Funktionsglieder betragen 10...50 MHz.

- | | | |
|-------------------------|---|--|
| 1) <u>Netzanschluß</u> | 220 V/110 V, 50...60 Hz; 60 VA
(Kaltgerätestecker) | } befinden sich
auf der
Rückseite des
Gerätes |
| 2) <u>Netzschalter</u> | Ein/Aus, mit Kontrollleuchte | |
| 3) <u>Netzsicherung</u> | Feinsicherung, 0,5 A, träge | |
- 4) Eingangsvariablen­schalter

Mit Hilfe dieser Schalter kann man variable binäre Eingangsgrößen auf digitale Anordnungen geben (z.B. bei Codierern, Decodierern, Umcodierern, logische Verknüpfungen usw.). Jeder Schalter hat einen Q-Ausgang (oben) und \bar{Q} -Ausgang (unten).

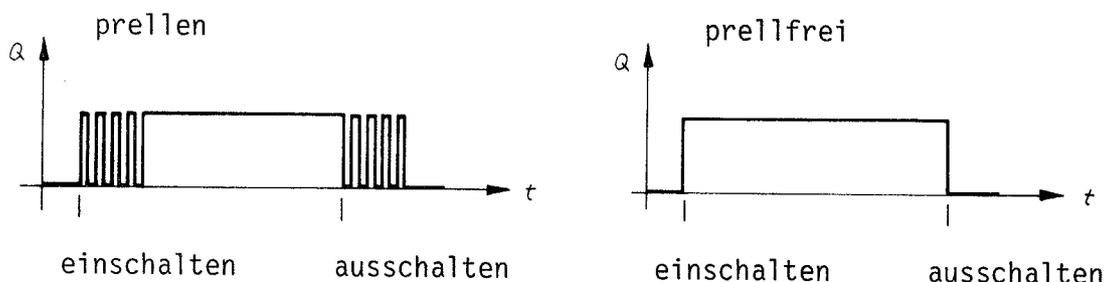


Schaltknebel unten: Q = 0, L \bar{Q} = 1, H Leuchtdiode aus

Schaltknebel oben: Q = 1, H \bar{Q} = 0, L Leuchtdiode an

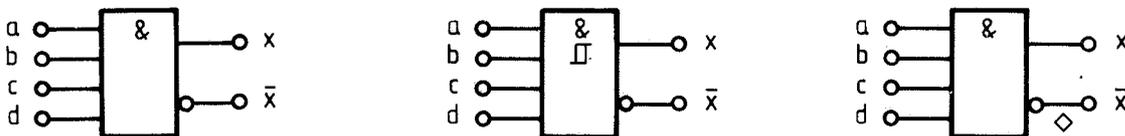
Die einzelnen Schalter sind von 0...9 nummeriert (bzw. von a...i).

Der Ausgangslastfaktor ("fan out") beträgt bei den Q- und \bar{Q} -Ausgängen jeweils 10. Die Schalter 0 und 1 (a und b) sowie 8 und 9 (h und i) sind entprellt.



5) Indikatorlampen

Mit diesen GaAsP-Leuchtdioden (rot) kann man die logischen Zustände optisch anzeigen. Liegt am Eingang eine log. "1" (Spannung vorhanden), dann leuchtet die Diode, liegt eine log. "0" an (keine Spannung vorhanden), dann leuchtet die Diode nicht. Ein offener Eingang bedeutet hier log. "0", d.h. die Lampe leuchtet nicht. Der Eingangslastfaktor ($f_{an\ in}$) ist kleiner als 2.

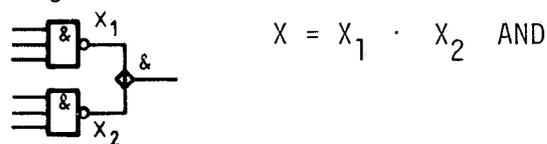
6) AND/NAND-Gatter (UND/NICHT-UND)

Es gilt: $x = a \cdot b \cdot c \cdot d$; ($x = a \wedge b \wedge c \wedge d$) AND

bzw.: $\bar{x} = \overline{a \cdot b \cdot c \cdot d}$ NAND

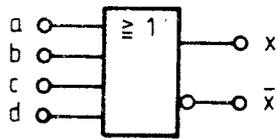
Da ein offener Eingang (unbeschaltet) hierbei als log. "1" empfunden wird (z.B. $a = 1$, $b = 1$, $c = 1$ oder $d = 1$), können diese Gatter ohne zusätzliche Beschaltung direkt als UND-Glied mit 3 Eingängen (ein Eingang offen) bzw. mit 2 Eingängen (zwei Eingänge offen) oder als Inverter (drei Eingänge offen) benutzt werden. Die beiden mit "S" (\sqcap) gekennzeichneten Gatter haben je 4 Schmitt-Trigger-Eingänge, die zum Versteilern von Impulsflanken benutzt werden können. Die mit "R_C" (\diamond) = gekennzeichneten invertierten Ausgänge sind Gatter mit offenem Kollektor (open collector), bei denen intern ein Kollektorwiderstand R_C nach Plus geschaltet ist. Diese Ausgänge eignen sich für eine "verdrahtete UND-Verknüpfung" (wired AND).

Es gilt:



Eingangslastfaktor je Eingang: 1

Ausgangslastfaktor für x und \bar{x} : 10

7) OR/NOR Gatter (ODER/NICHT-ODER)

Es gilt: $x = a + b + c + d$; ($x = a \vee b \vee c \vee d$) OR

bzw.: $\bar{x} = \overline{a + b + c + d}$ NOR

Bei diesen Gattern bedeutet ein offener Eingang log. "0", so daß nicht benutzte Eingänge unberücksichtigt bleiben können (z.B. $a = 0$, $b = 0$, $c = 0$, $d = 0$). Dadurch erhält man ohne zusätzliche Beschaltung ein Gatter mit 3 oder 2 Eingängen bzw. einem Eingang, je nach dem, wieviel Eingänge offen sind.

Eingangslastfaktor je Eingang: < 2

Ausgangslastfaktor für x und \bar{x} : 10

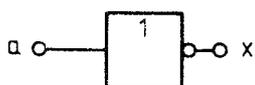
8) Buchsen für log. "0" (L) und log. "1" (H)

Da bei digitalen Schaltungen oft log. "0" und log. "1" benötigt wird, sind auf dem Tableau gleichmäßig solche Buchsen verteilt.

Kennzeichnung:

Buchse log. "0":

Buchse log. "1":

9) Leistungsinverter

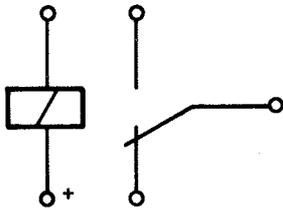
Es gilt: $x = \bar{a}$

Lastfaktoren:

Eingang: 1

Ausgang: 10

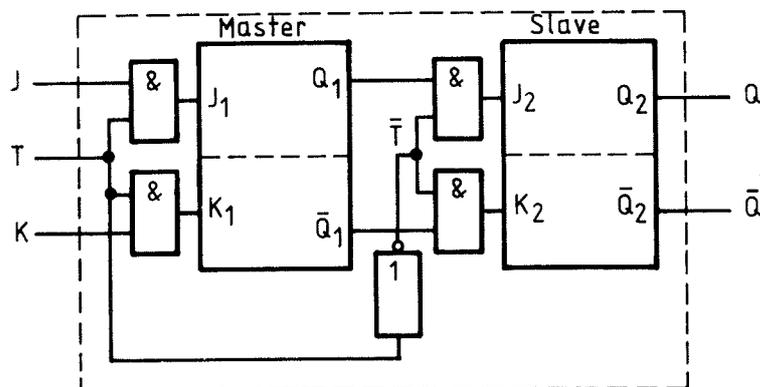
10) Relais



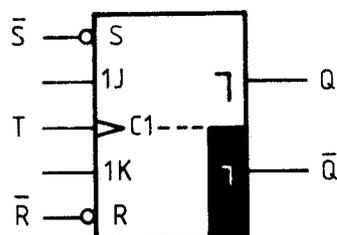
Diese Relais können nur über einen Leistungsinverter angesteuert werden. Das Relais spricht an, wenn das offene Ende der Wicklung an 0 V liegt oder bei Ansteuerung über einen Inverter, wenn $a = 1$ ist.

Schaltstrom: 1 A
 Schaltspannung: 20 V-, 60 V~
 Ansprechzeit: 0,7 ms
 Wicklungswiderstand $R_{Cu} \approx 260 \text{ Ohm}$

11) JK-Flipflop mit je einem J- und K-Eingang



Aufbau eines JK-Master-Slave-Flipflops aus je 2 JK-Flipflops mit Inverter



Es handelt sich um ein taktgesteuertes JK-Master-Slave-Flipflop, bei dem jede Änderung am Ausgang durch den J- oder K-Eingang nur in Verbindung mit einem Taktimpuls am T-Eingang möglich ist. (Master = Meister, Slave = Sklave)

Das logische Verhalten läßt sich aus der Funktionstabelle ablesen

J	K	Q	Es bedeuten:
0	0	Q_n	t_n = Zeitpunkt vor dem Taktimpuls bzw. Zustände vor dem Taktimpuls
0	1	0	t_{n+1} = Zeitpunkt nach dem Taktimpuls bzw. Zustände nach dem Taktimpuls
1	0	1	Q_n = Q-Zustand vor und nach dem Taktimpuls (0 oder 1), keine Änderung durch den Takt
1	1	$\overline{Q_n}$	$\overline{Q_n}$ = Der Zustand hat sich nach dem Taktimpuls geändert

$\underbrace{\quad}_{t_n}$ $\underbrace{\quad}_{t_{n+1}}$

Offener J- und K-Eingang bedeuten: $J = K = 1$

Da es sich um ein Master-Slave-Flipflop handelt, wird die Information an den J- und K-Eingängen bei der positiven Flanke des Taktimpulses vom Master-Flipflop übernommen und erst beim Abfall des Taktimpulses (negative Flanke) an das Slave-Flipflop weitergegeben, so daß erst zu diesem Zeitpunkt die Information an den Ausgängen erscheint. Eine Informationsübernahme ist nur möglich, wenn die Belegung der J- und K-Eingänge vor der positiven Flanke des Taktimpulses erfolgt. Die Dauer des Taktimpulses muß mindestens 20 ns lang sein. Die maximale Taktfrequenz beträgt 20 MHz.

Die statischen Setz - und Rücksetzsteingänge sind unabhängig vom Takt.

Rücksetzen: $\overline{R} = 0$ ($Q = 0$)

Setzen: $\overline{S} = 0$ ($Q = 1$)

und $\overline{S} = 0, \overline{R} = 0$ ($Q = 1$) "dominierendes Setzen"

Der Q-Zustand wird mit Hilfe einer Leuchtdiode optisch angezeigt.

Lastfaktoren:

Eingang J, K: 1

Eingang T, \overline{R} , \overline{S} : 2

Ausgang Q, \overline{Q} : 10

Die Serieneingabe erfolgt am Serieneingang S.E.. Zu diesem Zweck muß vor der positiven Flanke des Taktimpulses T die Information an S.E. anliegen und am Rückstelleingang $\bar{R} = 1$ sein (Buchse unbeschaltet).

Bei der positiven Flanke von T wird die Information vom vorherigen Flipflop bzw. S.E. übernommen und mit der negativen Flanke an die Ausgänge $Q_5 \dots Q_1$ weitergegeben. Bei $S.E. = \left\{ \frac{1}{0} \right\}$ ist nach der negativen Flanke von T $Q_5 = \left\{ \frac{1}{0} \right\}$. Eine Paralleleingabe von Informationen ist unabhängig vom Stand des Takt- und Rückstelleingangs \bar{R} über die Eingänge $E_5 \dots E_1$ möglich. Die Informationen an $E_5 \dots E_1$ werden in die einzelnen Speicherplätze gleichzeitig übernommen, wenn $\bar{S} = 0$ ist oder die über der \bar{S} -Buchse liegende Taste gedrückt wird. Mit Hilfe der Ausgänge $Q_5 \dots Q_1$ ist eine Parallelausgabe der Information möglich, so daß dieses Schieberegister als Serien-Parallel-Umsetzer, Parallel-Serien-Umsetzer sowie als Speicher (Parallel- und Serienbetrieb) benutzt werden kann.

Unabhängig vom Takt können alle Flipflops gleichzeitig zurückgesetzt werden ($Q_5 \dots Q_1 = 0$), wenn $\bar{R} = 0$ ist, bzw. die über der \bar{R} -Buchse liegende Taste betätigt wird. Die Q-Zustände der Flipflops werden mit Leuchtdioden angezeigt.

Benötigt man z.B. nur ein 4-Bit-Schieberegister, dann legt man die Parallelinformation an $E_5 \dots E_2$ an und nimmt als Serienausgang Q_2 .

Offene $E_1 \dots E_5$ - Eingänge bedeuten log. "0"

Lastfaktoren:

Eingänge:	S.E., \bar{S} , \bar{R} , T	= 1
	$E_1 \dots E_5$	< 2
Ausgänge:	$Q_1 \dots Q_5$	= 10

14 BCD → DEZIMAL-Decoder

	D	C	B	A	$\bar{0}$	$\bar{1}$	$\bar{2}$	$\bar{3}$	$\bar{4}$	$\bar{5}$	$\bar{6}$	$\bar{7}$	$\bar{8}$	$\bar{9}$
0	0	0	0	0	0	1	1	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1	1	1
2	0	0	1	0	1	1	0	1	1	1	1	1	1	1
3	0	0	1	1	1	1	1	0	1	1	1	1	1	1
4	0	1	0	0	1	1	1	1	0	1	1	1	1	1
5	0	1	0	1	1	1	1	1	1	0	1	1	1	1
6	0	1	1	0	1	1	1	1	1	1	0	1	1	1
7	0	1	1	1	1	1	1	1	1	1	1	0	1	1
8	1	0	0	0	1	1	1	1	1	1	1	1	0	1
9	1	0	0	1	1	1	1	1	1	1	1	1	1	0
10	1	0	1	0	1	1	1	1	1	1	1	1	1	1
11	1	0	1	1	1	1	1	1	1	1	1	1	1	1
12	1	1	0	0	1	1	1	1	1	1	1	1	1	1
13	1	1	0	1	1	1	1	1	1	1	1	1	1	1
14	1	1	1	0	1	1	1	1	1	1	1	1	1	1
15	1	1	1	1	1	1	1	1	1	1	1	1	1	1

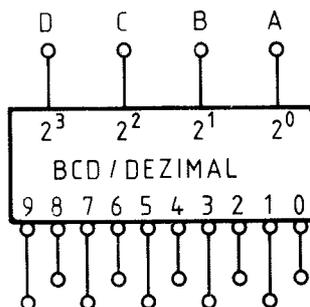
Eingänge
Ausgänge

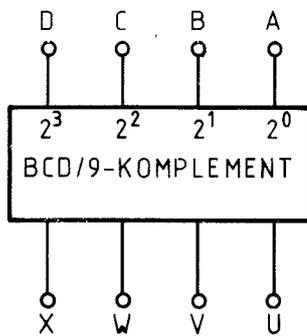
Die Funktion dieses Decoders beschreibt eindeutig die Funktionstabelle.
Offene Eingänge entsprechen log. "1".

Lastfaktoren:

Eingang: 1

Ausgang: 10



15) Neunerkomplement

Dez.	D	C	B	A	X	W	V	U	Dez.
0	0	0	0	0	1	0	0	1	9
1	0	0	0	1	1	0	0	0	8
2	0	0	1	0	0	1	1	1	7
3	0	0	1	1	0	1	1	0	6
4	0	1	0	0	0	1	0	1	5
5	0	1	0	1	0	1	0	0	4
6	0	1	1	0	0	0	1	1	3
7	0	1	1	1	0	0	1	0	2
8	1	0	0	0	0	0	0	1	1
9	1	0	0	1	0	0	0	0	0

Eingänge
Ausgänge

Das Neunerkomplement einer einstelligen Dezimalzahl ist die Ergänzung zu neun.

An den Buchsen X/W/V/U liegt das Neunerkomplement der 4stelligen Dualzahl im Dualcode an.

Lastfaktoren:

Eingänge: A, B, C, D: 1

Ausgänge: U, V, W, X: 10

16) 4-Bit-Volladdierer

Dieser Volladdierer addiert zwei 4stellige Dualzahlen $A_4/A_3/A_2/A_1$ und $B_4/B_3/B_2/B_1$, wobei a_1 und b_1 die niedrigste Stelle ist (2^0).

\ddot{U}_e ist der Eingangsübertrag einer vorangegangenen Addition. Ist kein Übertrag \ddot{U}_e vorhanden, so muß diese Buchse mit Null belegt werden:

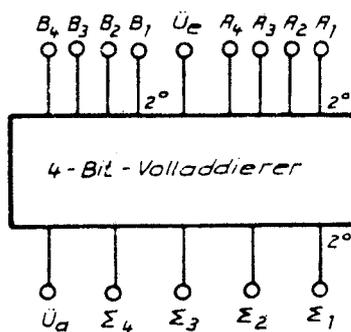
$\Sigma_4/\Sigma_3/\Sigma_2/\Sigma_1$ ist die Summe der beiden 4stelligen Binärzahlen und \ddot{U}_a der Ausgangsübertrag dieser Summe. Σ_1 hat die niedrigste Stellenwertigkeit.

$$\begin{array}{r}
 \text{Beispiel:} \quad 13 \cong 1101 \cong \begin{array}{cccc} A_4 & A_3 & A_2 & A_1 \end{array} \\
 \quad \quad \quad 12 \cong 1100 \cong \begin{array}{cccc} B_4 & B_3 & B_2 & B_1 \end{array} \\
 \quad \quad \quad + 1 \cong \quad \quad 1 \cong \begin{array}{cccc} & & & \ddot{U}_e \end{array} \\
 \hline
 \quad \quad \quad 26 \cong 11010 \cong \begin{array}{ccccc} \ddot{U}_a & \Sigma_4 & \Sigma_3 & \Sigma_2 & \Sigma_1 \end{array}
 \end{array}$$

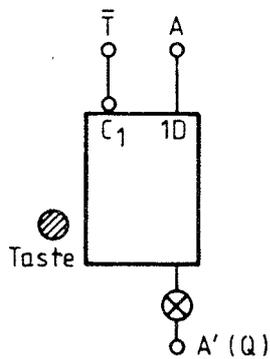
Lastfaktoren:

Eingang: $A_2, A_4, B_2, B_4, \ddot{U}_e$: 4; A_1, A_3, B_1, B_3 : 1
 Ausgang: $\Sigma_1, \Sigma_2, \Sigma_3, \Sigma_4$: 10; \ddot{U}_a : 5

Offene Eingänge \cong logisch 1 (H)!



Benötigt man lediglich einen 1-Bit-Volladdierer, dann muß $A_2 = A_3 = A_4 = B_2 = B_3 = B_4 = 0$ sein. An Σ_1 liegt die Summe, an Σ_2 der Ausgangsübertrag an.

17) Speicher-Flipflops (D Flipflops)

Diese Flipflops haben zwei stabile Zustände, die mit dem Takt (\bar{T}) gesteuert werden. Solange der Taktimpuls $\bar{T} = 0$ ist, wird die an D anliegende Information zum Ausgang Q übertragen. Sie bleibt dort erhalten, auch wenn $\bar{T} = 1$ ist (z.B. Buchse offen).

Logisches Verhalten:

t_n	t_{n+1}	
A	A'	t_n = Zeitpunkt vor dem Taktimpuls
1	1	t_{n+1} = Zeitpunkt nach dem Taktimpuls
0	0	

Die Informationsübernahme durch T kann auch mittels der Taste erfolgen. Bei $Q = 1$ leuchtet zusätzlich eine Signallampe am Ausgang auf. Offene Eingänge A, B, C, D verhalten sich wie log. "0".

Lastfaktoren:

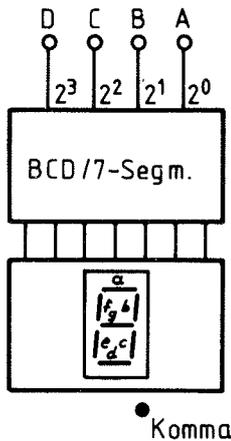
Eingänge:	\bar{T} :	<2
	A, B, C, D :	3
Q-Ausgänge:	A', B', C', D' :	10

18) 7-Segment-Anzeigeeinheiten

Diese Einheiten bestehen aus einem Decoder und einem Anzeigeteil. Zusätzlich besteht noch die Möglichkeit, mit Hilfe der Komma-Buchse im Anzeigeteil ein Kommasymbol sichtbar zu machen.

Der Decoder decodiert binär-codierte Dezimalzahlen D/C/B/A (A kleinste Wertigkeit) im Dualcode in 7 Segmente a...g.

Dez.	D 2 ³	C 2 ²	B 2 ¹	A 2 ⁰	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	0	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	0	0	1	1
10	1	0	1	0	0	0	0	1	1	0	1
11	1	0	1	1	0	0	1	1	0	0	1
12	1	1	0	0	0	1	0	0	0	1	1
13	1	1	0	1	1	0	0	1	0	1	1
14	1	1	1	0	0	0	0	1	1	1	1
15	1	1	1	1	0	0	0	0	0	0	0



0	1	2	3	4	5
6	7	8	9	10	11
12	13	14	15		

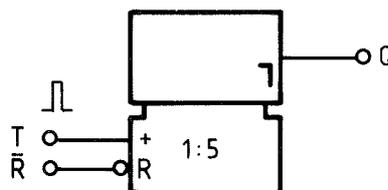
Lastfaktoren:
 Eingang: A, B, C, D <2
 Komma: <2

19) Untersetzer

Alle Untersetzer sind aus negativ flankengetriggerten JK-Master-Slave-Flipflops aufgebaut (Informationsübernahme bei positiver Flanke, Weitergabe bei negativer Flanke). Die Untersetzer zählen nach dem Dualcode (BCD). Mit der Rücksetzbuchse \bar{R} können alle Flipflops auf Null gesetzt werden (Zählerstand null). Bei den beiden 1 : 10 Untersetzen auf dem rechten Teil des Tableaus kann zusätzlich mit einer Taste von Hand zurückgesetzt werden. Die Rücksetzung erfolgt bei $\bar{R} = 0$. Zählbereit sind alle Untersetzer bei $\bar{R} = 1$ (offene Buchse). Alle Untersetzer arbeiten asynchron!

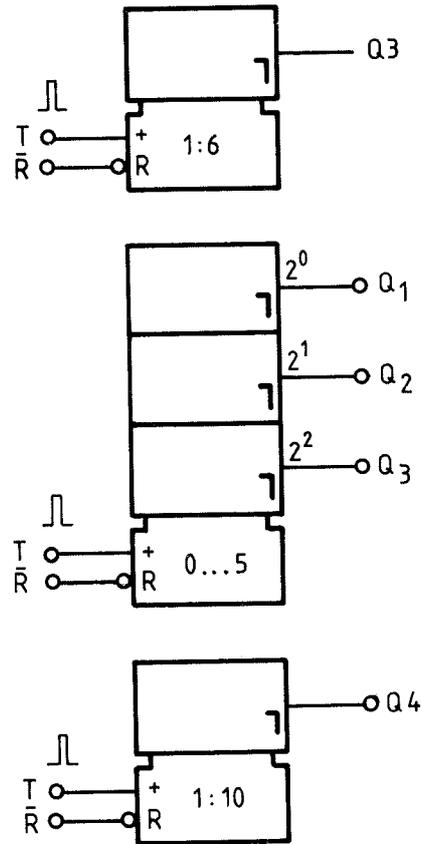
a) 1 : 5 Untersetzer

T	Q
0	0
1	0
2	0
3	0
4	1
0	0



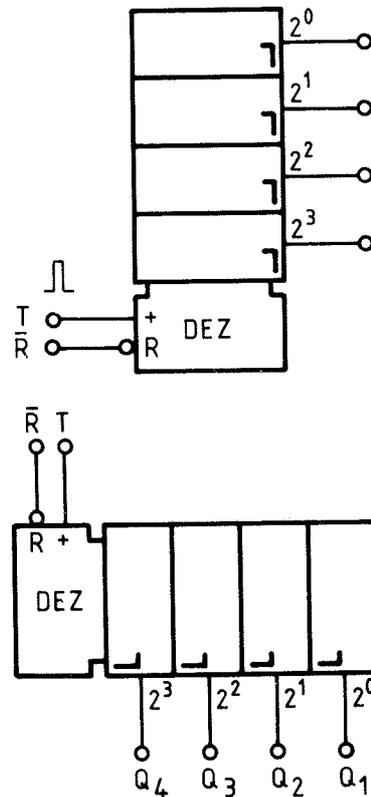
b) 1 : 6 Untersetzer

T	Q ₃	Q ₂	Q ₁
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
0	0	0	0
	1:6	1:6	1:2



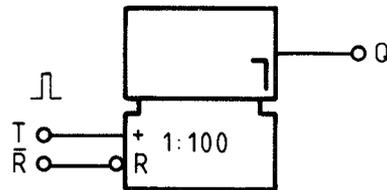
c) 1 : 10 Untersetzer

T	Q ₄	Q ₃	Q ₂	Q ₁
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
0	0	0	0	0
	1:10	1:10		1:2

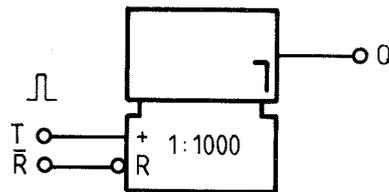
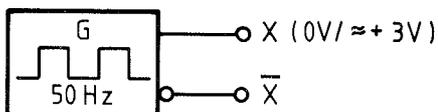


d) 1 : 100 Untersetzter

T	Q
0	0
1	0
⋮	⋮
80	1
⋮	⋮
99	1
0	0

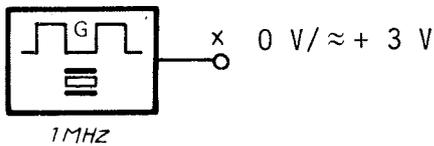
e) 1 : 1000 Untersetzter

T	Q
0	0
1	0
⋮	⋮
800	1
⋮	⋮
999	1
0	0

20) 50 Hz-Generator

An den Ausgangsbuchsen x und \bar{x} stehen Rechteckimpulse mit steilen Flanken zur Verfügung (Amplitude ca. +3 V). Die Impulsdauer ist kleiner als die Impulspause (bzgl. x -Ausgang). Die Frequenz ist identisch mit der Netzfrequenz von 50 Hz.

Lastfaktoren, x und \bar{x} : 10

21) 1 MHz-Generator

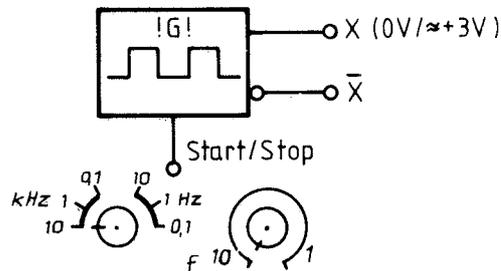
Dieser Generator erzeugt Rechteckimpulse (+ 3 V Amplitude) mit der extrem genauen Frequenz von 1,00000 MHz durch Verwendung eines Quarzes. Die Genauigkeit der Frequenz ist besser als 10^{-5} (0,01‰). Unter Verwendung von Untersettern lassen sich sehr genau Taktfrequenzen erzeugen (z.B. für eine digitale Uhr).

Lastfaktor: $x = 10$

22) Variabler Taktgenerator

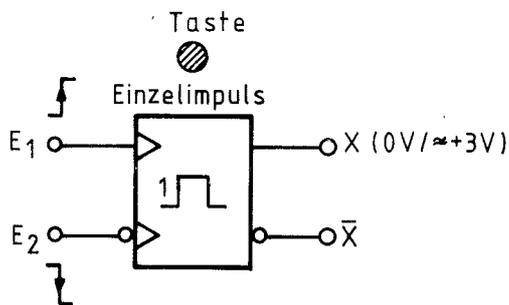
Die Ausgänge x und \bar{x} liefern steile Rechteckimpulse variabler Frequenz von 0,1 Hz...100 kHz (Amplitude ca. 3 V).

Stufe 1	100 kHz... 10 kHz
Stufe 2	10 kHz... 1 kHz
Stufe 3	1 kHz...100 kHz
Stufe 4	100 Hz... 10 Hz
Stufe 5	10 Hz... 1 Hz
Stufe 6	1 Hz...0,1 Hz



Die Grobeinstellung erfolgt mit dem Bereichsschalter, die Feineinstellung durch ein Potentiometer (Genauigkeit ca. 10%). Der Überlappungsbereich am Anfang und Ende zweier benachbarter Stufen durch das Potentiometer beträgt etwa 10%. Bei der Feineinstellung ändert sich das Tastverhältnis der Ausgangsimpulse etwas. Mit der Start/Stop-Buchse kann man den Generator blockieren bzw. stoppen (mit log. "0" belegen) oder freigeben bzw. starten (mit log. "1" belegen oder Buchse offen), so daß erst nach der Freigabe der Generator den ersten Impuls liefert. Dies ist besonders bei synchronisierten Vorgängen vorteilhaft.

Lastfaktoren, x und \bar{x} : 10

23) Monoflop

Die Monoflops geben an den Ausgängen x und \bar{x} rechteckige, steile Einzelimpulse mit einstellbarer Impulsbreite τ ab (ca. 3 V Amplitude). Die Impulsbreite läßt sich von 1 μ s...10 s variieren (Genauigkeit ca. 10%).

	fest	variabel
Stufe 1	1 μ s	1 μ s... 10 μ s
Stufe 2	10 μ s	10 μ s...100 μ s
Stufe 3	100 μ s	100 μ s... 1 ms
Stufe 4	1 ms	1 ms... 10 ms
Stufe 5	10 ms	10 ms...100 ms
Stufe 6	100 ms	100 ms... 1 s
Stufe 7	1 s	1 s ... 10 s
Stufe 8	10 s	

Bei dem Monoflop mit variabler Impulsbreiteneinstellung beträgt der Überlappungsbereich benachbarter Stufen ca. 20%.

Die Auslösung des Einzelimpulses erfolgt am E_1 -Eingang durch positive Flanken, am E_2 -Eingang durch negative Flanken.

Die Anstiegs- oder Abfallzeit der Triggersignale an E_1 und E_2 muß kleiner als 1 V pro Sekunde sein (Schmitt-Trigger-Eingang). Einzelimpulse können auch durch Betätigen der prellfreien Taste erzeugt werden. Die Auslösung eines Impulses erfolgt beim Niederdrücken der Taste.

Eine Auslösung an E_1 ist nur möglich, wenn $E_2 = 1$ (offene Buchse) und die Taste nicht gedrückt ist. Eine Auslösung an E_2 erfolgt nur bei $E_1 = 0$ (offene Buchse) und nicht gedrückter Taste.

Ein Einzelimpuls durch Handauslösung mit der Taste ist nur möglich, wenn die Buchsen E_1 und E_2 offen sind ($E_1 = 0$, $E_2 = 1$).

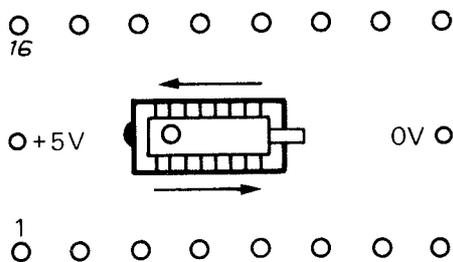
Lastfaktoren:

Eingang: $E_1 : 2$

$E_2 : 1$

Ausgang: x und $\bar{x} : 10$

24) Leersockel



Hiermit können digitale IC's in Dual-in-line-Gehäusen mit bis zu 16 Polen untersucht bzw. in eine Schaltung integriert werden. Die erforderliche Versorgungsspannung von + 5 V steht an der Buchse (+ 5 V) zur Verfügung und kann an die entsprechende Buchse des IC's geschaltet werden.

Achtung:

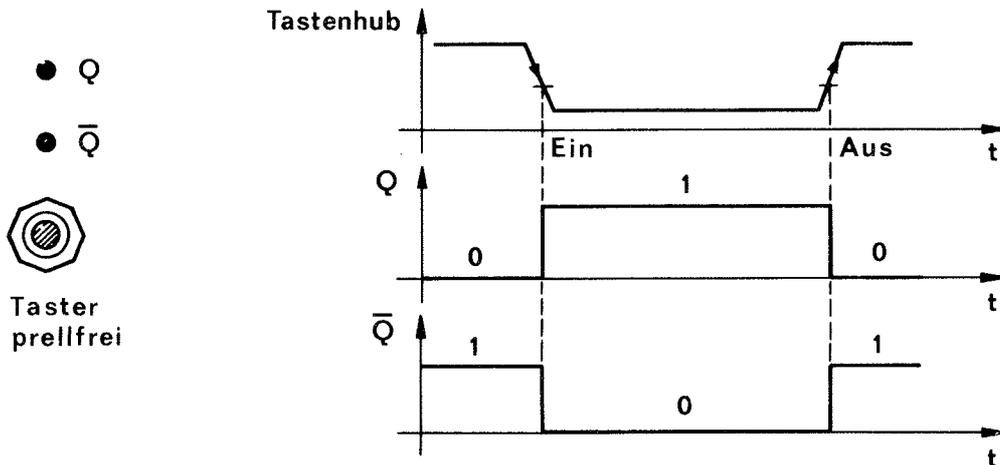
+ 5 V nur für Versorgungsspannung des IC's benutzen, nicht für den log. "1"-Pegel!

Bei Nichtbeachtung können interne Bausteine zerstört werden!

Zum problemlosen Entnehmen der Schaltkreise sind die IC-Sockel mit einem Entnahmekeil versehen.

25) Prellfreier Taster

Pro Betätigungsvorgang wird ein einziger prellfreier Impuls erzeugt.



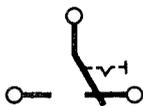
Verwendung:

Ansteuerung der Takteingänge T von Flipflops, Schieberegistern, Dezimalzählern sowie die Auslösung von Monoflops.

Ausgangslastfaktor für Q und \bar{Q} : 10

26) Unbeschalteter Kippschalter

mit Umschaltkontakt zur freien Verfügung



4. Technische Daten, allgemeine Hinweise

<u>Netzanschluß</u>	220 V/110 V; 50...60 Hz
- Leistungsaufname	60 VA
- Netzsicherung	0,5 A, träge

<u>Gleichspannungsversorgung</u>	+ 5 V/3 A
(intern verdrahtet, stabilisiert und kurzschlußfest)	

Mechanische Ausführung

Stabiles, abschließbares Koffergerät, Farbe schwarz, Deckel abnehmbar mit Bügel zum Schrägstellen auf einen Neigungswinkel von 20°.

Abmessungen: 650 x 500 x 225 mm (mit Deckel)
(B x T x H)

Gewicht: ca. 20 kg

Empfohlenes Zubehör

Zubehörsatz, Typ 3510.1, bestehend aus:

100 Stück 2-mm-Verbindungsleitungen mit Lammellensteckern, vergoldet

20 Stück 75 mm

50 Stück 300 mm

20 Stück 500 mm

10 Stück 1000 mm

4 Stück Adapter; 4-mm-Stecker, 2-mm-Buchse

Hinweis

Beim Parallelbetrieb mehrerer hps-Digital-Geräte (Typ 3510 bzw. Typ 3505) braucht lediglich log. "0" = 0 V durchverbunden werden.

Bei externer Einspeisung von Spannungssignalen muß unbedingt darauf geachtet werden, daß der Spannungspegel des äußeren Signals nur zwischen 0 und + 5 V liegen darf (nicht negativ!).

Nichtbeachtung kann zur Zerstörung von Systemen führen.

Zur besonderen Kennzeichnung von Bausteinen, Eingängen, Ausgängen usw. kann ein Filzstift benutzt werden. Das Geschriebene ist mit einem feuchten Lappen o.ä. wieder leicht zu entfernen.

