

---

# DIGITAL-LEHRMODELL

## Teil II: Sequentielle logische Schaltungen

3. Auflage

---

© **hps SystemTechnik**

Lehr- + Lernmittel GmbH

Altdorfer Straße 16

D-88276 Berg bei Ravensburg

Telefon: (07 51) 5 60 75-0

Telefax: (07 51) 5 60 75 16

**Bestell-Nr.: V 0036**

Nachdruck, auch in abgeänderter Form, ist nur mit ausdrücklicher Genehmigung des Herausgebers unter Quellenangabe gestattet.

9.1.0

VORWORT

Das vorliegende hps-Handbuch V 0036 "Sequentielle logische Schaltungen" ist der Teil II der Übungsanleitungen zum hps-Digital-Trainer 3510 F (Teil I: V 0035 "Statische Verknüpfungen").

Die im Handbuch enthaltenen über 110 Übungen sind so abgefaßt, daß sie mit nachstehenden Geräten bzw. Systemen durchgeführt werden können:

Digital-Trainer 3510 F  
Digital-Experimenter 3505 D  
Demonstrationsplatten aus der Serie 3600  
Digitalbausteine aus den Serien 9200 und 9600

Als ergänzende hps-Literatur steht zur Verfügung:

Handbuch V 0005: "Grundzüge der Digitaltechnik"  
Handbuch V 0034: "Einführung in die Digitaltechnik"  
Gerätebeschreibung Typ 3510  
Gerätebeschreibung Typ 3505  
Systembeschreibung Serie 3600  
Systembeschreibung Serie 9600

INHALTSVERZEICHNIS TEIL II

		Seite
	Vorwort	1
	Inhaltsverzeichnis	2
1.	<u>FLIPFLOP-GRUNDSCHALTUNGEN</u>	7
1.1	Allgemeines	7
1.2	RS-Flipflops	7
	RS-Flipflop aus NOR-Gliedern	
	RS-Flipflop als prellfreier Schalter	
	RS-Flipflop aus NAND-Gliedern	
	Getaktetes RS-Flipflop	
	D-Flipflop	
	RS-Flipflop mit dominierendem Setzen/Rücksetzen	
1.3	J-K-Flipflops	17
1.3.1	Taktgesteuertes J-K-Flipflop	20
1.4	Master-Slave-Flipflops	20
1.4.1	RS-Master-Slave-Flipflop	20
1.4.2	J-K-Master-Slave-Flipflop	23
	T-Flipflop	
2.	<u>SCHIEBEREGISTER</u>	27
2.1	Allgemeines	27
2.2	Funktionen eines Schieberegisters	29
2.3	Universelles Schieberegister für Parallel- oder Serieneingabe	29
2.4	Umschaltbares Rechts-Links-Schieberegister	31
3.	<u>SYNCHRONE ZÄHLER</u>	33
3.1	Allgemeines	33
3.2	Schaltungssynthese	34
	Beispiel: 8-4-2-1-Vorwärts-Zehnerzähler	
3.3	Aufgaben	38
	Synchrone 8-4-2-1-Rückwärts-Zähldekade	

	Umschaltbare synchrone Vorwärts/Rückwärts- 8-4-2-1-Zähldekade	
	Synchrone Exzeß-3-Code-Vorwärts-Zähldekade	
	Synchrone Aiken-Code-Vorwärts-Zähldekade	
3.4	Taktgesteuerter synchroner 2-stelliger Dekaden- zähler	48
3.5	Ringzähler (Zählring), 2 Ausführungen	50
3.6	Taktgesteuerte Zähldekade mit 5 Flipflops (Johnson-Zähler)	54
3.6.1	Vorwärtszähler mit Decoder	54
3.6.2	Rückwärtszähler	57
3.6.3	Vor-/Rückwärtszähler (Differenzzähler)	58
3.7	Vorwahlzähler	62
3.8	Kombinationsablaufschaltungen	65
3.9	Synchrone Modulo- $2^m$ -Zähler	67
	Synchr. mod-2-Zähler	
	Synchr. mod-4-Zähler, vorwärts	
	Synchr. mod-4-Zähler, rückwärts	
	Synchr. mod-8-Zähler, vorwärts	
	Synchr. mod-16-Zähler, vorwärts, rückwärts	
3.10	Synchrone Modulo-n-Zähler	72
3.10.1	Entwurf eines synchr. Modulo-5-Zählers	72
3.10.2	Aufgaben	73
	Synchr. mod-2-Zähler	
	Synchr. mod-3-Zähler	
	Synchr. mod-4-Zähler, vor-/rückwärts	
	Synchr. mod-5-Zähler	
	Synchr. mod-6-Zähler	
	Synchr. mod-7-Zähler	
	Synchr. mod-8-Zähler, vor-/rückwärts	
	Synchr. mod-9-Zähler	
	Synchr. mod-10-Zähler	
	Synchr. mod-11-Zähler	
	Synchr. mod-12-Zähler	
	Synchr. mod-13-Zähler	
	Synchr. mod-14-Zähler	

Synchr. mod-15-Zähler  
 Synchr. mod-16-Zähler, vor-/rückwärts

4.	<u>ASYNCHRONE ZÄHLER</u>	85
4.1	Allgemeines	85
4.2	Zähldekaden	85
4.2.1	Schaltungssynthese asynchr. Zähler Beispiel 8-4-2-1-Vorwärtszähler	87
4.2.2	Aufgaben	89
	Asynchr. 8-4-2-1-Rückwärts-Zähldekade	
	Rückwärts-Zähldekade mit Neunerkomplement	
	Asynchr. Vorwärts-Zähldekade, Exzeß-3-Code	
	Asynchr. Aiken-Code-Vorwärts-Zähldekade	
4.3	Modulo- $2^m$ -Zähler	94
4.3.1	Asynchrone Modulo- $2^m$ -Zähler	95
4.4	Frequenzteiler	95
4.4.1	Aufgaben	98
	Frequenzteiler 1 : 2	
	Frequenzteiler 1 : 3	
	Frequenzteiler 1 : 4	
	Frequenzteiler 1 : 5	
	Frequenzteiler 1 : 6	
	Frequenzteiler 1 : 7	
	Frequenzteiler 1 : 8	
	Frequenzteiler 1 : 9	
	Frequenzteiler 1 : 10	
	Frequenzteiler 1 : 11	
	Frequenzteiler 1 : 12	
	Frequenzteiler 1 : 13	
	Frequenzteiler 1 : 14	
	Frequenzteiler 1 : 15	
	Frequenzteiler 1 : 16	
	Frequenzteiler 1 : 50	
4.5	Zähler mit einstellbarem Teilerverhältnis (programmierbar)	104

5.	<u>ARITHMETISCHE SCHALTUNGEN</u>	105
5.1	Serienaddierer	105
5.1.1	Schaltungsbeispiel	106
5.2	Seriensubtrahierer	110
	Seriensubtrahierer mit Addierer und Zweierkomplement	
5.3	Multiplikation von Dualzahlen	113
5.3.1	Multiplikation durch Addition und Stellenverschiebung	113
5.3.2	Multiplikation durch fortgesetzte Addition	117
5.4	Fehlererkennungsschaltung eines Codewortes mit Parity-Check (Quersummenbildung)	120
	a) Parallele Prüfung	
	b) Sequentielle Prüfung	
5.5	Erzeugung der Prüfstelle für Parity-Check durch Quersummenbildung	125
	a) Parallele Erzeugung	
	b) Sequentielle Erzeugung	
5.6	Vergleicherschaltung zweier Dualzahlen durch Serienvergleich	128
6.	<u>IMPULSFLANKENVERZÖGERUNG, SYNCHRONISIER-SCHALTUNGEN, IMPULSTORE</u>	131
6.1	Impulsflankenverzögerung	131
	a) Vorderflanke	
	b) Rückflanke	
	c) Vorder- und Rückflanke	
6.2	Synchronisier-Schaltungen	132
6.2.1	Allgemeines	132
6.2.2	Schaltungsbeispiele	133
	1. Erzeugung eines taktsynchronen Impulses	
	2. Erzeugung einer unverstümmelten Impulsfolge	
6.3	Impulstore	135
6.3.1	Schaltungsbeispiele (2 Stück)	135

7.	<u>VERSCHIEDENES</u>	137
7.1	Frequenzverdopplung durch Erzeugung eines Doppelimpulses	137
7.2	Taktgenerator mittels Monoflop	138
7.3	Digitale Steuerung einer Ampelanlage	139
7.4	Digitales Schrittschaltwerk (2 Ausführungen)	142
7.5	Landefeuer für einen Flughafen	145
7.6	Anzeige der Drehrichtung einer Maschine	146
7.7	Verriegelungsschaltung	149
7.8	Zufallsgenerator (Schieberegisterzähler)	157
7.9	Digitaler Würfel	158
7.10	Schaltung zur Ermittlung der Lottozahlen	160
7.11	Digitale Stoppuhr	161
7.12	Schaltung zur Messung der menschlichen Reaktionszeit	162
7.13	Digitale Uhr	165
7.14	Digitales Frequenzmeßgerät mit 2-stelliger Anzeige	170
7.15	Digitaler Zeitmesser	173
7.16	Digitaler Periodendauermesser	174
7.17	Digitaler Phasenmesser	175
7.18	Automatische Bereichsumschaltung	176
7.19	Messung der Anzugszeit eines Relais	178
7.20	Messung der Abfallzeit eines Relais	180
7.21	Digitale Nachlaufregelung	181
7.22	Elektronische Orgel	184



1. FLIPFLOP-GRUNDSCHALTUNGEN

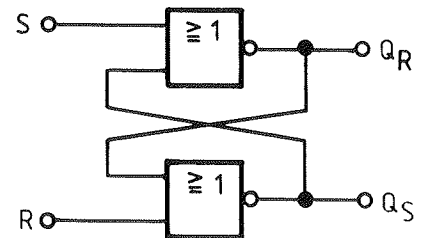
1.1 Allgemeines

Unter einem Flipflop (abgekürzt: FF) versteht man ein Speicherelement mit zwei stabilen Zuständen, das aus jedem der beiden Zustände durch entsprechende Ansteuerung am Eingang in den anderen Zustand übergeht. Deshalb wird das Flipflop auch "Bistabiler Multivibrator" oder "Kippstufe" genannt. Es gehört neben den Gattern zu den wichtigsten Grundbausteinen logischer Schaltungen. Es gibt mehrere Flipflopgrundtypen.

1.2 RS-Flipflops

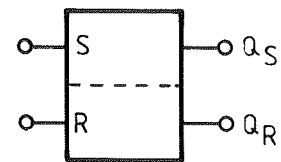
Aufgabe 1 - 1:

Man baue nebenstehendes RS-Flipflop aus NOR-Gliedern auf, trage die Zustände zeitlich nacheinander in die Funktionstabelle ein und überzeuge sich von der Speichereigenschaft.



	S	R	Q <sub>R</sub>	Q <sub>S</sub>
Zeit ↓	1	0		
	0	0		
	0	1		
	0	0		
	1	1		

Symbol

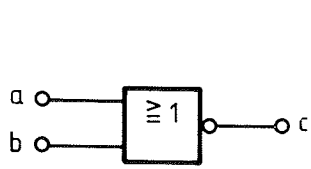


S = Setzeingang                      Q<sub>S</sub> = Setzausgang  
 R = Rücksetzeingang                Q<sub>R</sub> = Rücksetzausgang

Lösung 1 - 1:

Es gilt:      $Q_R = \overline{S + Q_S}$   
                $Q_S = \overline{R + Q_R}$

Um die Funktion zu verstehen, muß zuerst die Wirkungsweise eines NOR-Gliedes untersucht werden.



a	b	$\bar{c}$	c
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

Am Ausgang erscheint immer dann eine Null, wenn mindestens eine Eingangsvariable 1 ist.

In der nachfolgenden Funktionstabelle sollen alle Kombinationen zeitlich nacheinander ablaufen.

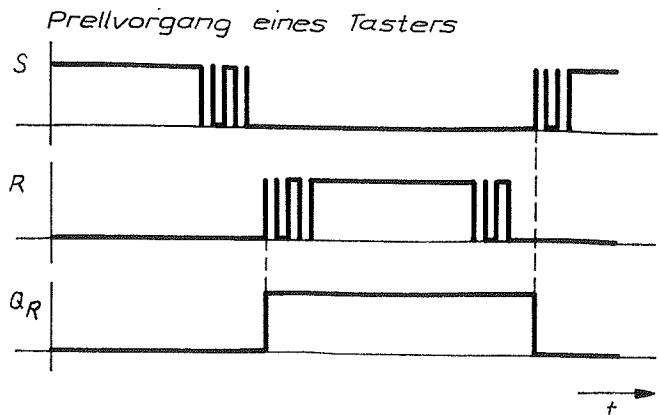
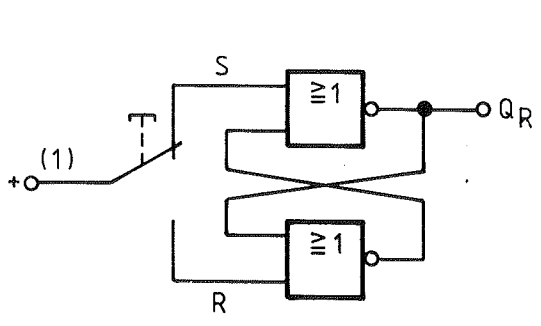
	S	R	$Q_R$	$Q_S$	
Zeit ↓	1	0	0	1	
	0	0	0	1	→ Zustand bleibt erhalten
	0	1	1	0	
	0	0	1	0	→ Zustand bleibt erhalten
	1	1	0	0	→ nicht zugelassen

Man erkennt, daß bei  $S = R = 0$  der vorherige Zustand gespeichert bleibt. Bis auf den Fall  $S = R = 1$  ist  $Q_R = \overline{Q_S}$ . Das Flipflop wird durch eine "1" an S gesetzt ( $Q_S = 1$ ) und durch eine "1" an R zurückgesetzt. Der Zustand des Flipflops bleibt erhalten, wenn das betreffende Eingangssignal auf Null zurückfällt. Es hat demnach die Eigenschaft, ein Bit zu speichern.

Aufgabe 1 - 2:

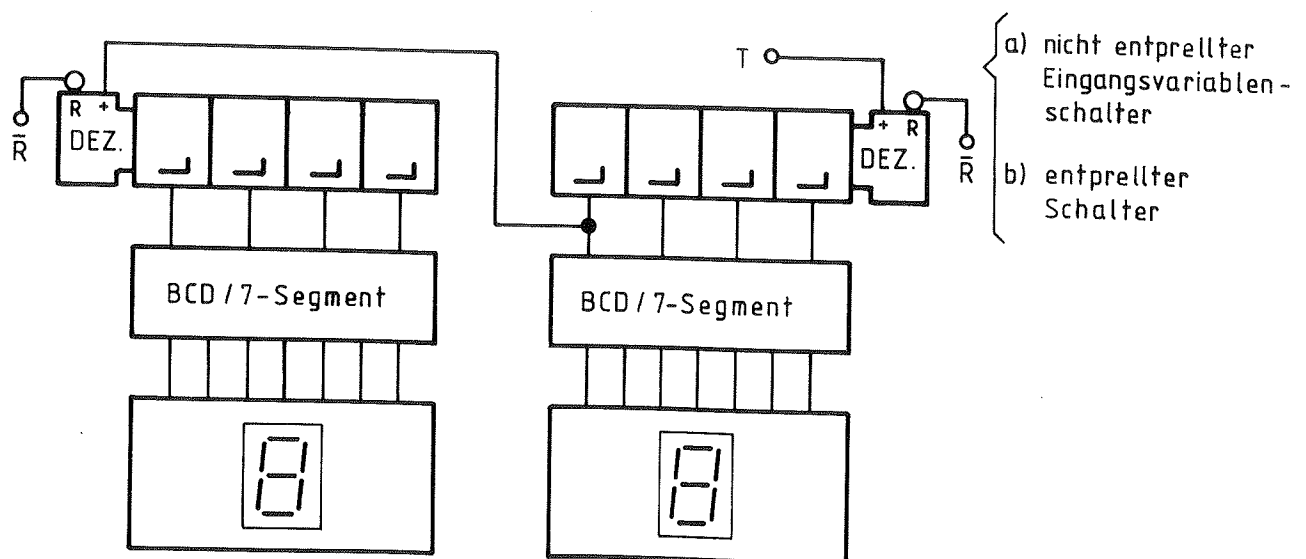
Unter Verwendung des RS-Flipflops auf Seite 7 und eines einpoligen Umschalt-Tasters entwerfe man einen prellfreien Digitalschalter.

Lösung 1 - 2:



Beim Betätigen der Taste entsteht zuerst ein Prellvorgang am Setzeingang. Da aber die kurzen Spannungsänderungen nach 0 Volt keine Änderung des Zustandes erreichen, bleibt weiterhin  $Q_R = 0$ . Nach einer kurzen Zeitspanne ist das Schaltstück unten und setzt bei der ersten Berührung mit dem R-Eingang das Flipflop, d.h.,  $Q_R = 1$ . Auch das nachfolgende Prellen kann den Zustand nicht mehr ändern, da der Null-Zustand am Eingang keine Änderung hervorrufen kann. Entsprechend ist der Vorgang beim Loslassen der Taste. Man erhält in jedem Fall pro Betätigung der Taste jedesmal nur einen Ausgangsimpuls, obwohl an den Eingängen durch das Prellen der Kontakte eine Vielzahl von Impulsspitzen vorhanden sind.

Die Wirkung des entprellten Schalters kann sehr überzeugend demonstriert werden, wenn folgende Anordnung aufgebaut wird:



Beim nichtentprellten Schalter werden pro Schalterbetätigung eine Vielzahl von Impulsen angezeigt, beim entprellten Schalter jedoch immer nur einer.

Aufgabe 1 - 3:

Man realisiere das RS-Flipflop auf S. 7 mit NAND-Gattern und überzeuge sich, daß die gleichen Funktionen erfüllt werden.

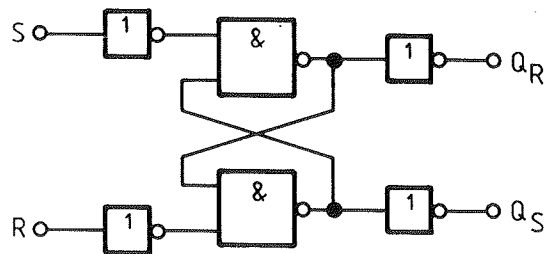
Lösung 1 - 3:

Es gilt:

$$Q_R = \overline{S + Q_S} = \overline{\overline{S} \cdot \overline{Q_S}}$$

$$Q_S = \overline{R + Q_R} = \overline{\overline{R} \cdot \overline{Q_R}}$$

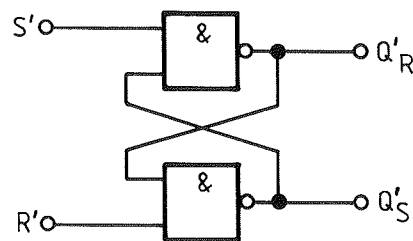
Schaltung:



Aufgabe 1 - 4:

Man baue nebenstehendes RS-Flipflop aus NAND-Gattern auf und trage alle Zustände in die Funktionstabelle ein.

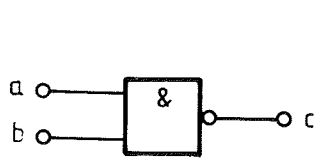
	S'	R'	Q' <sub>R</sub>	Q' <sub>S</sub>
Zeit ↓	0	1		
	1	1		
	1	0		
	1	1		
	0	0		



Lösung 1 - 4:

Die Wirkungsweise ähnelt dem RS-Flipflop mit NOR-Gattern auf S. 7.

Für ein NAND-Glied gilt:



a	b	$\bar{c}$	c
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

Durchschaltung, wenn mindestens eine Eingangsvariable null ist.

Damit erhält man folgende Zustandstabelle, in der die eingetragenen Kombinationen wieder zeitlich nacheinander erfolgen sollen.

S'	R'	$Q'_R$	$Q'_S$	
0	1	1	0	
1	1	1	0	→ Zustand bleibt erhalten
1	0	0	1	
1	1	0	1	→ Zustand bleibt erhalten
0	0	1	1	→ nicht zugelassen

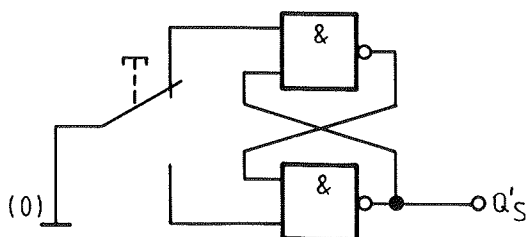
Es hat sich nichts grundlegendes geändert. Gesetzt und rückgesetzt wird nun mit "0". Der vorherige Zustand bleibt bestehen, wenn an den Eingängen  $S' = R' = 1$  ist.

Aufgabe 1 - 5:

Mit Hilfe des RS-Flipflops aus NAND-Gattern von S. 10 und einem einpoligen Umschalter ist ein entprellter Schalter zu entwerfen und die Funktionsfähigkeit mit 2 hintereinandergeschalteten Zehnerzählern mit Decodern und Ziffernanzeige zu überprüfen.

Lösung 1 - 5:

Um einen entprellten Schalter zu erhalten, muß nun mit "0" geschaltet werden.



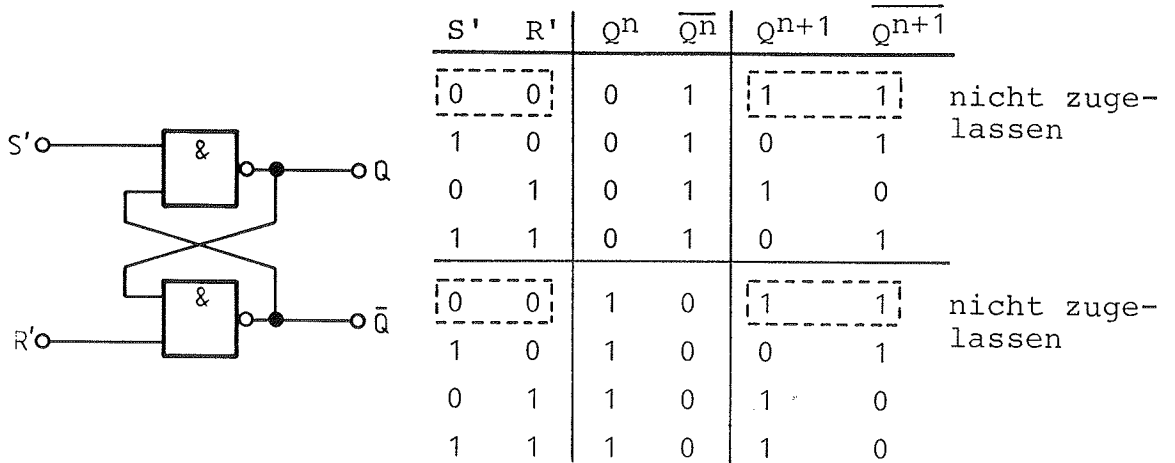
Taste oben:  $Q'_S = 0$   
 Taste gedrückt:  $Q'_S = 1$

Aufgabe 1 - 6:

Man entwickle eine Schaltung, die es gestattet, die Informationsübernahme an einem RS-Flipflop aus NAND-Gliedern durch einen Takteingang T zu steuern.

Lösung 1 - 6:

Für ein RS-Flipflop aus NAND-Gliedern gilt:



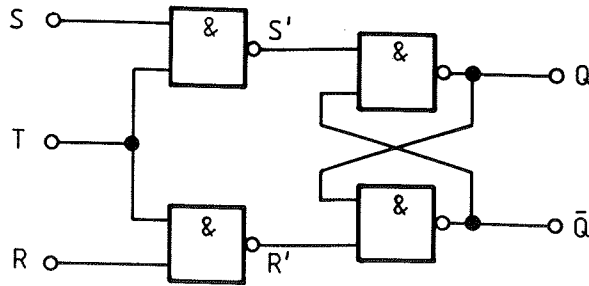
Der Index n bezieht sich auf einen festen Zeitpunkt  $t_n$ .  $Q^n$  bedeutet somit den Zustand des Flipflops zur Zeit  $t_n$ ,  $Q^{n+1}$  den Zustand danach ( $t_{n+1}$ ).

vereinfacht dargestellt:

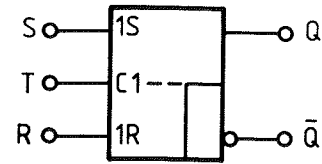
S' <sup>n</sup>	R' <sup>n</sup>	Q <sup>n+1</sup>	
0	0	1	nicht erlaubt
1	0	0	
0	1	1	
1	1	Q <sup>n</sup>	
t <sub>n</sub>		t <sub>n+1</sub>	

Damit die Informationsübernahme nur durch ein Signal T am Takteingang erfolgt, braucht lediglich vor den Eingängen S' und R' ein NAND-Gatter geschaltet werden, das durch den Takt T geöffnet wird.

Schaltung:



Symbol:



Kennzeichnung der Grundstellung ( $\bar{Q} = 1$ )

Die Durchschaltung der NAND-Gatter und damit die Informationsübernahme erfolgt bei  $T = 1$ . Dann ist:  $S' = \bar{S}$  und  $R' = \bar{R}$ , so daß in der Funktionstabelle in den Spalten für  $S'$  und  $R'$  0 mit 1 bzw. 1 mit 0 vertauscht werden muß.

$s^n$	$r^n$	$Q^{n+1}$	
1	1	1	nicht erlaubt
0	1	0	
1	0	1	
0	0	$Q^n$	
$t_n$		$t_{n+1}$	

Ein solches Flipflop wird RS-Auffang-Flipflop genannt.

Charakteristische Gleichung:

Aus der Logiktablelle liest man ab:

$$Q^{n+1} = s^n \cdot \bar{r}^n + \bar{s}^n \cdot \bar{r}^n \cdot Q^n$$

	$s^n$	
0	1	1
$r^n$	1	x

Da der Zustand  $Q^{n+1} = s^n \cdot \bar{r}^n$  nicht erlaubt ist, kann diese Kombination als "don't care-Bedingung" (x) verwendet werden.

Somit vereinfacht sich die Gleichung:

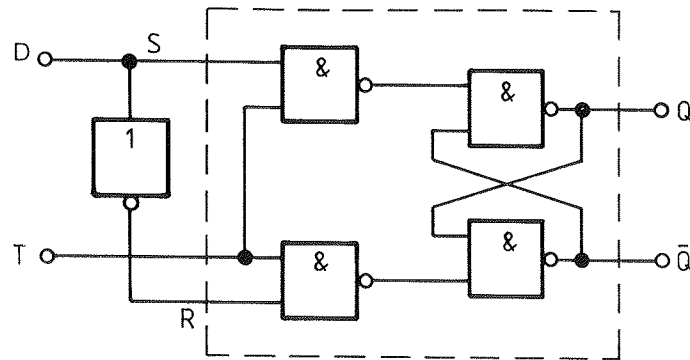
$$Q^{n+1} = \bar{r}^n \cdot Q^n + s^n$$

Aufgabe 1 - 7:

Es soll ein Flipflop entworfen werden, bei dem eine Information am D-Eingang durch einen Takt übernommen wird und bis zum nächsten Takt gespeichert bleibt, auch wenn diese Information am D-Eingang nicht mehr vorhanden ist (D-Flipflop).

Lösung 1 - 7:

Man geht von einem taktgesteuerten RS-Flipflop nach S. 13 aus, und sorgt mit Hilfe eines Inverters dafür, daß stets  $R = \bar{S}$  ist, dann ist der nicht zugelassene Zustand  $S = R = 1$  nicht mehr möglich.

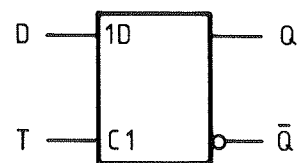


$D \hat{=} \text{delay} = \text{Verzögerung}$

$D \hat{=} \text{Daten}$

bzw. Abspeicherung einer  
Information

Symbol:



Funktionstabelle:

$D^n$	T	$Q^{n+1}$	$\overline{Q^{n+1}}$
0	0	$Q^n$	$\overline{Q^n}$
1	0	$Q^n$	$\overline{Q^n}$
0	1	0	1
1	1	1	0
$t_n$		$t_{n+1}$	

Charakteristische Gleichung:

$$Q^{n+1} = D^n$$

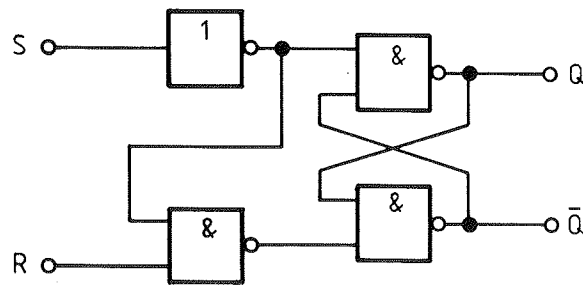


Aufgabe 1 - 8a:

Man entwickle ein RS-Flipflop mit einem Setz- und Rücksetzeingang, daß beim Zustand  $S = R = 1$  den Ausgangszustand  $Q = 1, \bar{Q} = 0$  einnimmt (RS-Flipflop mit dominierendem Setzen).

Lösung 1 - 8a:

Es wird das RS-Flipflop von S. 10 zugrunde gelegt.



Funktionstabelle:

$s^n$	$R^n$	$Q^{n+1}$	$\overline{Q^{n+1}}$
0	0	$Q^n$	$\overline{Q^n}$
1	0	1	0
0	1	0	1
1	1	1	0

$t_n$ 
 $t_{n+1}$

Der Rücksetzeingang ist nur wirksam, wenn  $S = 0$ . Bei  $S = 1$  ist unabhängig vom Zustand  $R$  keine Rücksetzung möglich, weil das NAND-Glied am  $R$ -Eingang gesperrt ist.

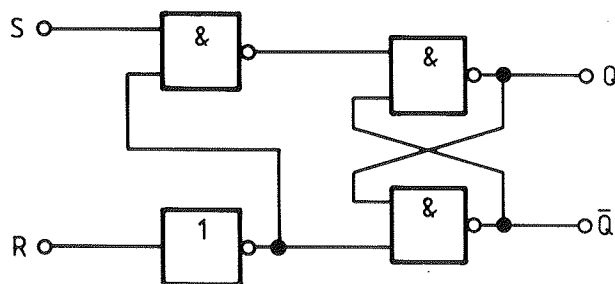
Aufgabe 1 - 8b:

Man entwickle ein RS-Flipflop mit einem Setz- und Rücksetzeingang, daß beim Zustand  $S = R = 1$  den Ausgangszustand  $Q = 0, \bar{Q} = 1$  einnimmt.

(RS-Flipflop mit dominierendem Rücksetzen).

Lösung 1 - 8b:

Auch hier wird von dem RS-Flipflop auf S. 10 ausgegangen.



Funktionstabelle

$S^n$	$R^n$	$Q^{n+1}$	$\overline{Q^{n+1}}$
0	0	$Q^n$	$\overline{Q^n}$
1	0	1	0
0	1	0	1
1	1	0	1

Der Setzeingang ist nur wirksam, wenn  $R = 0$  ist. Bei  $R = 1$  ist unabhängig vom Zustand  $S$  kein Setzen möglich, weil das NAND-Glied am S-Eingang wegen  $R = 0$  gesperrt ist.

### 1.3 J-K-Flipflops

Ein J-K-Flipflop ist ein spezielles RS-Flipflop, bei dem der nicht erwünschte Zustand  $Q_S = Q_R = 0$  unterbunden wird.

#### Realisierung

Die Funktionstabelle eines RS-Flipflops lautet:

S	R	$Q_S$	$Q_R$	
0	0	$Q_S$	$Q_R$	→ vorheriger Zustand bleibt erhalten
1	0	1	0	
0	1	0	1	
1	1	0	0	(nicht erlaubt)

Es darf der Zustand  $S = 1, R = 1$  nicht möglich sein. Dies kann erfüllt werden, wenn man durch eine logische Verknüpfung dafür sorgt, daß stets

$$\boxed{S \cdot R = 0} \quad \text{ist.}$$

Für S und R wird daher angesetzt:

$$\boxed{S = J \cdot Q_R}$$

und

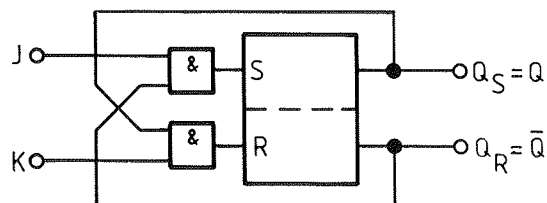
$$\boxed{R = K \cdot Q_S}$$

Dies kann durch UND-Gatter realisiert werden. Die Steuergrößen S und R werden durch die Eingänge J und K ersetzt (willkürliche Festlegung).

$$S \cdot R = J \cdot Q_R \cdot K \cdot Q_S = J \cdot K \cdot \underbrace{Q_R \cdot Q_S}_0 \quad (\text{da } Q_R = \bar{Q}_S)$$

Aus der oberen Tabelle entnimmt man, daß  $Q_R \cdot Q_S$  immer null ist. Damit ist die zusätzliche Bedingung  $S \cdot R = 0$  realisiert.

#### Schaltung:



Da durch das Vorschalten der UND-Glieder stets  $Q_S = \overline{Q_R}$  bzw.  $Q_R = \overline{Q_S}$  ist, bezeichnet man den Ausgang  $Q_S$  mit  $Q$  und  $Q_R$  mit  $\overline{Q}$ .

$Q$	$\hat{=}$	$Q_S$
$\overline{Q}$	$\hat{=}$	$Q_R$

Funktionstabelle:

	J	K	Q	$\overline{Q}$
zeitlicher Ablauf	1	0	1	0
	0	0	1	0
	1	1	1	0
	0	1	0	1
	0	0	0	1
	1	1	0	1

Um den zeitlichen Ablauf vereinfacht darzustellen, wählt man folgende Darstellung:

$J^n$	$K^n$	$Q^{n+1}$
1	0	1
0	1	0
0	0	$Q^n$
1	1	$\overline{Q^n}$
$t_n$		$t_{n+1}$

Charakteristische Gleichung:

$$Q^{n+1} = J^n \cdot \overline{K^n} \cdot \overline{J^n} \cdot \overline{K^n} \cdot Q^n + J^n \cdot K^n \cdot \overline{Q^n}$$

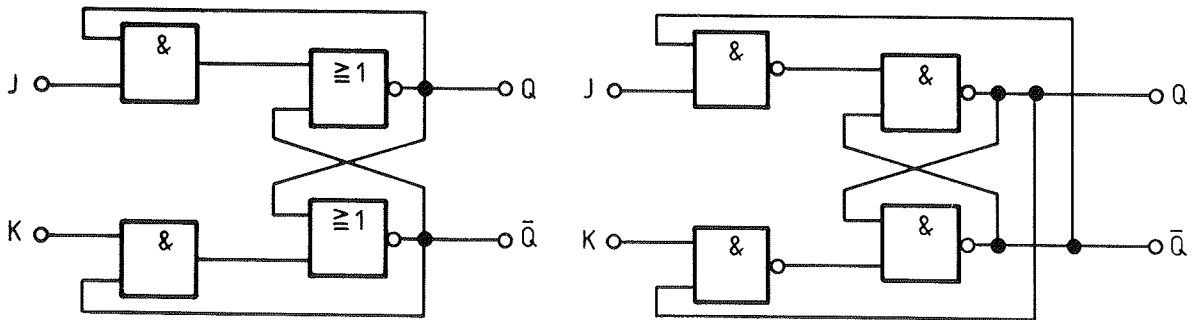
vereinfacht

$Q^{n+1} = J^n \cdot \overline{Q^n} + \overline{K^n} \cdot Q^n$
---

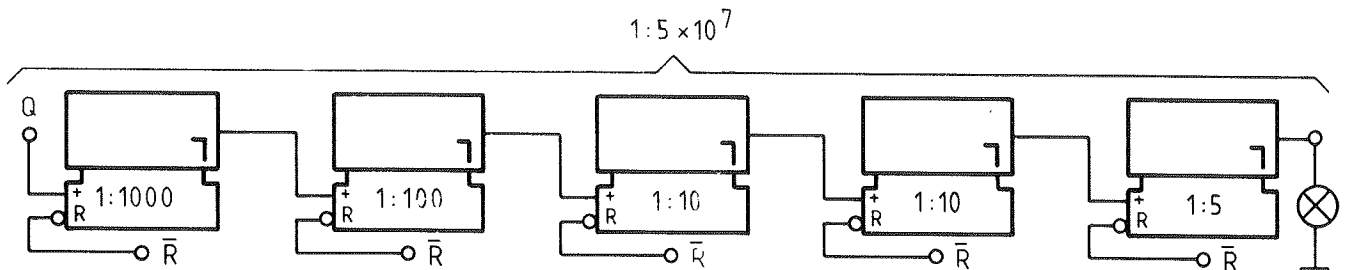
Der Index  $n$  bezieht sich auf einen festen Zeitpunkt  $t_n$ .  $Q^n$  bedeutet somit den Zustand des Flipflops zur Zeit  $t_n$ ,  $Q^{n+1}$  den Zustand danach ( $t_{n+1}$ ).

Aufgabe 1 - 9:

Man baue ein J-K-Flipflop aus einem RS-Flipflop mit NOR- und NAND-Gattern auf und untersuche, ob dieses Flipflop entsprechend der Funktionstabelle funktioniert. Was stellen Sie fest?



Danach schalte man den Q-Ausgang auf den unten gezeichneten  $1 : 5 \cdot 10^7$  Frequenzuntersetzer und beobachte die Leuchtdiode. Was stellen Sie fest?

Lösung 1 - 9:

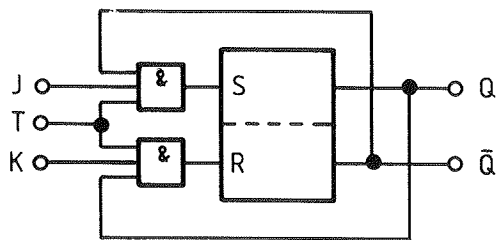
Realisiert man diese J-K-Flipflops, wie die Bilder es zeigen, so wird man feststellen, daß diese J-K-Flipflops beim Zustand  $J = K = 1$  sich ständig von selbst umschalten. Dies kann man z.B. feststellen, wenn man den Ausgang Q auf einen  $1 : 5 \cdot 10^7$  Untersetzer schaltet. Schließt man am Ausgang eine Indikatorlampe an, so beträgt deren Blinkfrequenz etwa 0,2 Hz. Das bedeutet, daß diese "J-K-Flipflops" etwa mit 10 MHz ständig sich selbst umschalten.

Der Grund ist darin zu suchen, daß ein J-K-Flipflop eine kurze Zwischenspeicherung benötigt, da das Flipflop an den UND-Gattern den vorherigen Zustand benötigt. Ohne Speicher-

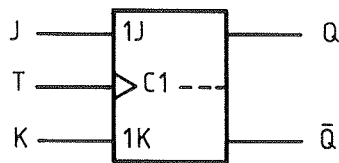
wirkung wird noch während des Anliegens eines Eingangssignals über die Rückführung der eben eingestellte Zustand wirksam. J-K-Flipflops lassen sich deshalb nur aus solchen RS-Flipflops aufbauen, die eine kurzzeitige Zwischenspeicherung aufweisen (z.B. durch RC-Kombinationen oder sog. "Master-Slave-Flipflops").

1.3.1 Taktgesteuertes J-K-Flipflop

Ein J-K-Flipflop, bei dem die Informationsübernahme nur durch einen Takt T erfolgt, zeigt die folgende Prinzipschaltung:



Symbol



Funktionstabelle:

$J^n$	$K^n$	$T^n$	$Q^{n+1}$
1	0	0	$Q^n$
0	1	0	$\overline{Q^n}$
0	0	0	$Q^n$
1	1	0	$\overline{Q^n}$
1	0	1	1
0	1	1	0
0	0	1	$Q^n$
1	1	1	$\overline{Q^n}$

$t_n$                        $t_{n+1}$

1.4 Master-Slave-Flipflops

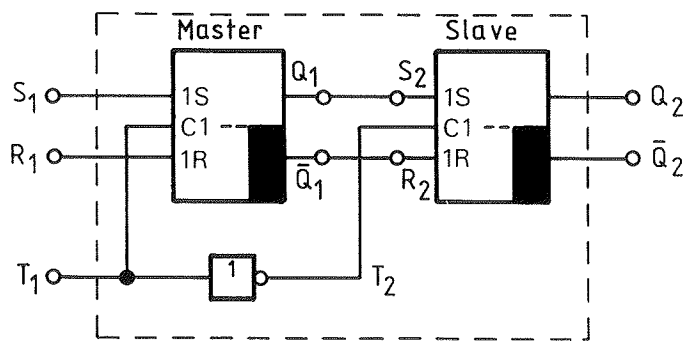
1.4.1 RS-Master-Slave-Flipflop (RS-MS-FF)

Bei vielen digitalen Schaltungen darf die Informationsübernahme am Eingang eines Speichers zeitlich nicht mit der Informationsweitergabe am Ausgang zusammenfallen. Die Weitergabe muß etwas verspätet gegenüber der Aufnahme erfolgen, also bedarf es einer Zwischenspeicherung. Aus

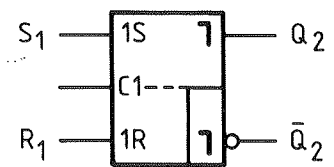
diesem Grund ist z.B. die Realisierung eines einfachen J-K-Flipflops mittels statischer RS-Flipflops nicht möglich.

Ein RS-Master-Slave-Flipflop besteht aus 2 einzelnen getakteten RS-Flipflops. Das erste Flipflop bildet den Zwischenspeicher, das zweite den Hauptspeicher. Das erste Flipflop ist der Meister (master), der seinem nachgeordneten Sklaven (slave) seinen Willen aufzwingt, indem das Master-FF von einem zeitlich früheren Takt getaktet wird als das Slave-FF. Diese Zeitverschiebung des Taktes kann durch Invertierung eines zentralen Taktes und unterschiedlicher Laufzeiten erfolgen.

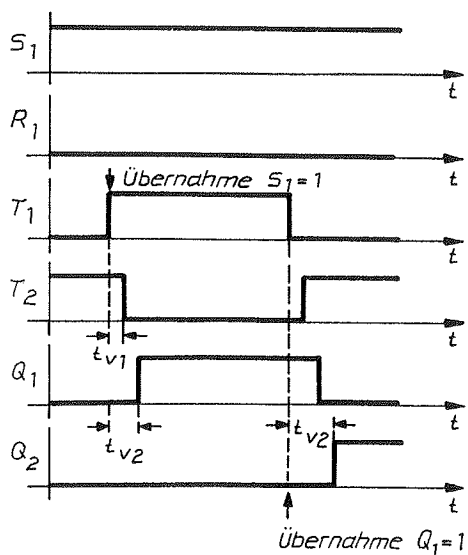
Prinzipschaltung:



Symbol:



Beispiel:  $S_1 = 1; R_1 = 0$



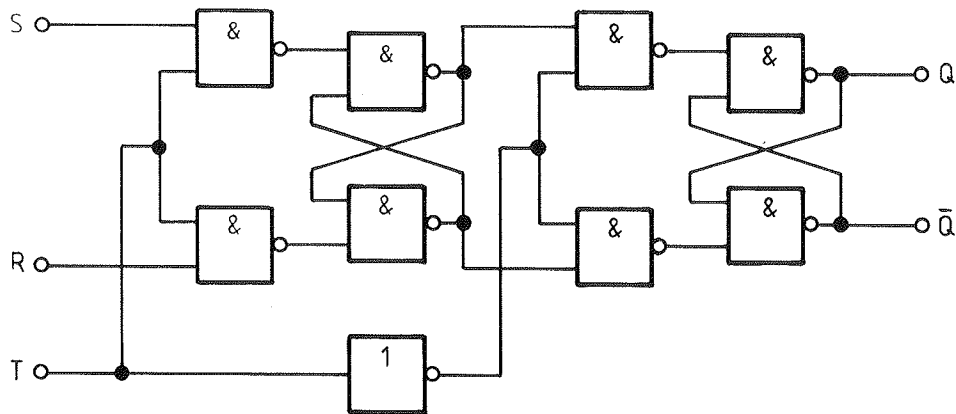
$t_{v1}$  = Laufzeit des Inverters  
 $t_{v2}$  = Laufzeit des Master-Flipflops bzw. Slave-Flipflops

Da die Laufzeit  $t_{v2}$  immer größer als  $t_{v1}$  ist (beim Flipflop muß die Information 2 Gatter durchlaufen), ist gewährleistet, daß die Informationsweitergabe zum Ausgang  $Q_2$  immer später erfolgt als die Übernahme an  $S_1, R_1$ .

Aufgabe 1 - 10:

Man baue mittels 2 getakteter RS-Flipflops (S. 13) die obige Prinzipschaltung eines RS-Master-Slave-Flipflops auf, stelle die Funktionstabelle auf und untersuche was passiert, wenn die Information an  $S_1, R_1$  nach der positiven Flanke des Taktes  $T_1$  weggenommen wird ( $S_1 = R_1 = 0$ ).

Lösung 1 - 10:



Bei  $T = 0 \rightarrow 1 \rightarrow 0$  gilt ( $\sqcap$ ):

$S^n$	$R^n$	$Q^{n+1}$	$\overline{Q^{n+1}}$
0	0	$Q^n$	$\overline{Q^n}$
1	0	1	0
0	1	0	1
1	1	1	1

Bezüglich der Eingangs- und Ausgangsklemmen besteht außer der kurzzeitigen Zwischenspeicherung kein Unterschied zu einem normalen getakteten RS-Flipflop. Nachdem die Information im Masterflipflop gespeichert ist, kann sie am Eingang wieder weggenommen werden. Erst beim Übergang von



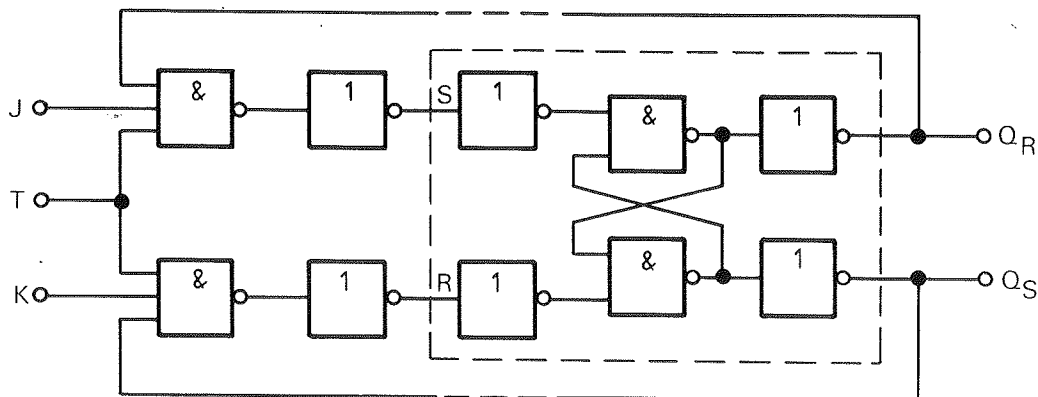
1 → 0 des Taktes gelangt die zwischengespeicherte Information zum Ausgang.

#### 1.4.2 J-K-Master-Slave-Flipflop

Die besprochene Lösung eines J-K-Flipflops kann nach dem Master-Slave-Prinzip nun realisiert werden. Dazu gehen wir von einem RS-Flipflop aus, allerdings mit zusätzlichem Takteingang. Die Gleichungen für S und R lauten (S. 17):

$$S = J \cdot Q_R = \overline{\overline{J \cdot Q_R}} \quad (\text{NAND-Technik})$$

$$R = K \cdot Q_S = \overline{\overline{K \cdot Q_S}} \quad (\text{NAND-Technik})$$

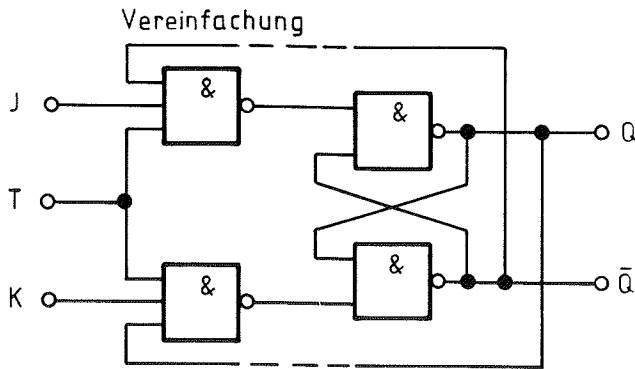


Die obenstehende Schaltung kann wegen fehlender Zwischenspeicherung nicht funktionieren. Sie lässt sich jedoch wegen der gegenseitigen Verriegelung ( $Q_R = \overline{Q_S}$  bzw.  $Q_S = \overline{Q_R}$ ) weiter vereinfachen und kann mit einer geringen Veränderung benutzt werden.

#### Aufgabe 1 - 11:

Man vereinfache die obere Anordnung unter Berücksichtigung, daß  $\overline{\overline{a}} = a$ ,  $Q_R = \overline{Q_S}$  bzw.  $Q_S = \overline{Q_R}$  und  $Q_S = Q$ ,  $Q_R = \overline{Q}$  ist.

Lösung 1 - 11:



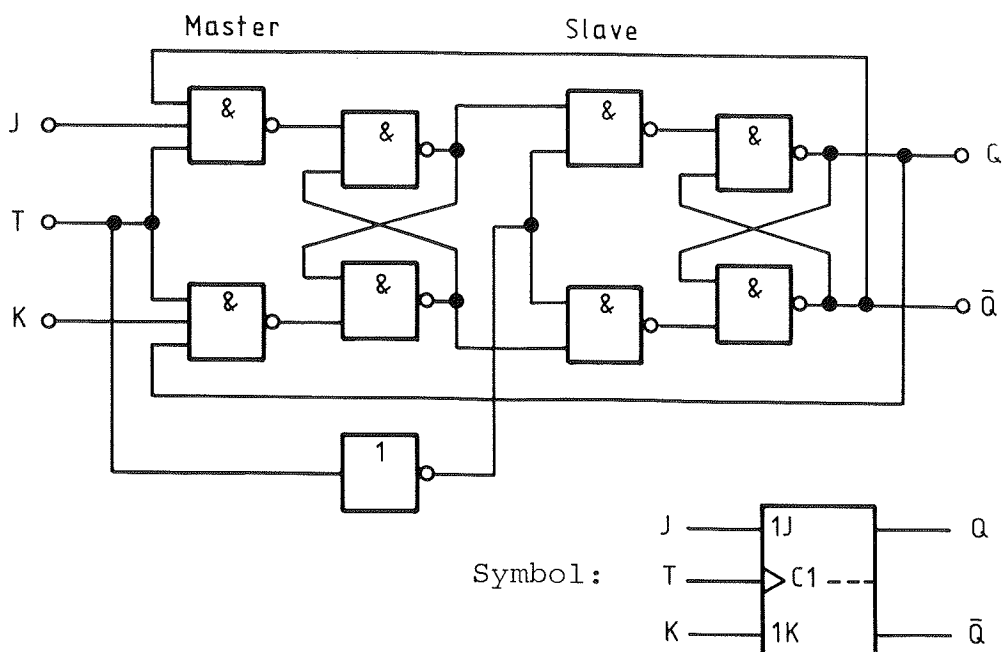
Diese Darstellung ist bereits auf S. 19 wiedergegeben worden.

Aufgabe 1 - 12:

Nach der Prinzipschaltung eines Master-Slave-Flipflops von S. 20 und der vereinfachten Schaltung der Lösung 1 - 11 baue man ein J-K-Master-Slave-Flipflop auf und überzeuge sich von der Funktionsfähigkeit, in dem die vollständige Funktionstabelle aufgestellt wird.

Beim Entwurf ist zu berücksichtigen, daß nur beim 1. Flipflop die Verriegelung  $S \cdot R = 0$  zu erfolgen braucht, wobei die Rückführung zu den Eingangs-NAND-Gliedern wegen der erforderlichen Zwischenspeicherung von den Ausgängen des 2. Flipflops stammen muß.

Lösung 1 - 12:



Die Funktionstabelle ist dieselbe wie auf S.18, nur mit dem Unterschied, daß sich die Zustände nur durch einen Taktimpuls ( $T = 1$ ) ändern können.

J	K	$Q^n$	$\overline{Q}^n$	$Q^{n+1}$	$\overline{Q}^{n+1}$
0	0	0	1	0	1
1	0	0	1	1	0
0	1	0	1	0	1
1	1	0	1	1	0
<hr style="border-top: 1px dashed black;"/>					
0	0	1	0	1	0
1	0	1	0	1	0
0	1	1	0	0	1
1	1	1	0	0	1

$t_n$ 
 $t_{n+1}$

$J^n$	$K^n$	$Q^{n+1}$
0	0	$Q^n$
1	0	1
0	1	0
1	1	$\overline{Q}^n$

$t_n$ 
 $t_{n+1}$

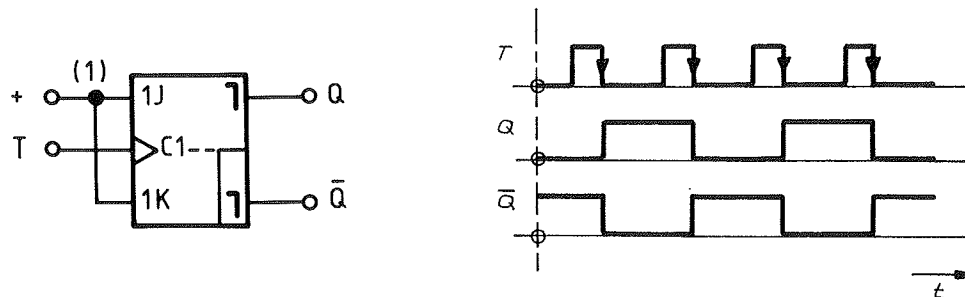
Aufgabe 1 - 13:

Aus der obigen Funktionstabelle entwerfe und untersuche man ein spezielles Flipflop, das bei jedem Taktimpuls T umschaltet (T-Flipflop).

Wozu kann dieses Flipflop verwendet werden?

Lösung 1 - 13:

Aus der Funktionstabelle des J-K-Master-Slave-Flipflops entnimmt man, daß bei  $J = K = 1$  durch den Takt T der Zustand am Ausgang ständig wechselt. Diesen Vorgang nennt man "Toggeln" ( $\hat{=} T$ ).



J- und K-Eingang offen entsprechen einer Belegung mit "1".

Da die Frequenz der Ausgangsrechteckspannung genau die Hälfte der Taktfrequenz ist, kann dieses T-Flipflop als Frequenzuntersetzer 1 : 2 benutzt werden. Es wird besonders bei Dualzählern eingesetzt.

Hinweis:

Es wird darauf hingewiesen, daß die in den Digitalgeräten 3505 D und 3510 F sowie bei den Serien 3600, 9200 und 9600 vorhandenen Flipflops J-K-Master-Slave-Flipflops sind, die flankengetriggert sind. Die Zustandsänderung erfolgt hierbei nicht durch einen statischen Zustand, wie bei den bisher beschriebenen Flipflops aus normalen Gattern, sondern dynamisch\*mit der positiven oder negativen Flanke des Taktimpulses T.

(Siehe auch Teil I S. 18 - V 0035).

\* Es ist ein Mindest-Spannungsanstieg

$$\left(\frac{\Delta U}{\Delta t}\right) \geq \left(\frac{\Delta U}{\Delta t}\right)_{\min}$$

des Taktimpulses nötig.

## 2. SCHIEBEREGISTER

### 2.1 Allgemeines

Als Register bezeichnet man eine Speicheranordnung, die in der Lage ist, eine Information von einem bestimmten Informationsgehalt zu speichern. Hier sollen die Speicher aus Flipflops bestehen. Es ist bekannt, daß ein Flipflop eine Information von 1 bit Informationsgehalt speichern kann; n Flipflops können daher eine Information von n bit Informationsgehalt speichern. Man spricht von einer "Registerlänge" von n bit. Ein Register kann durch folgendes Blocksymbol dargestellt werden:



Den einzelnen Bitstellen werden Nummern zugeordnet, die z.B. mit Null beginnen.

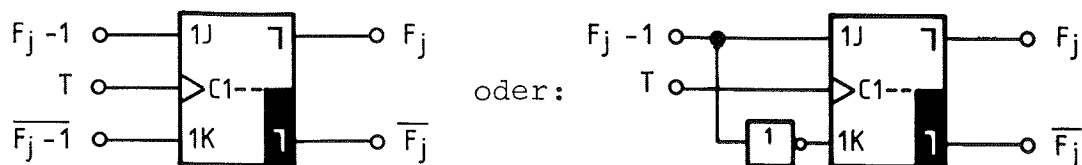
Es soll ein spezielles Register, das sogenannte "Schieberegister" untersucht werden. Das Schieberegister hat die Eigenschaft, daß nach jedem "Schiebetakt" die gesamte Information insgesamt um eine Bitstelle nach rechts rückt (rechtsschiebend). Die Bitstelle j hat demnach nach einem Schiebetakt den alten Inhalt der Bitstelle j-1, usw.

Wenn man den Schiebetakt mit Takt = T bezeichnet, so erhält man für das Setzen und Rücksetzen des Flipflops  $F_j$  in der Bitstelle j:

$$\begin{aligned} \text{Setzen} & : J_{F_j} = T \cdot \overline{F_j} \cdot F_{j-1} \\ \text{Rücksetzen:} & K_{F_j} = T \cdot F_j \cdot \overline{F_{j-1}} \end{aligned}$$

Die Verbindungen  $F_j$  und  $\overline{F_j}$  sind bereits wieder in einem J-K-Flipflop intern vorhanden.

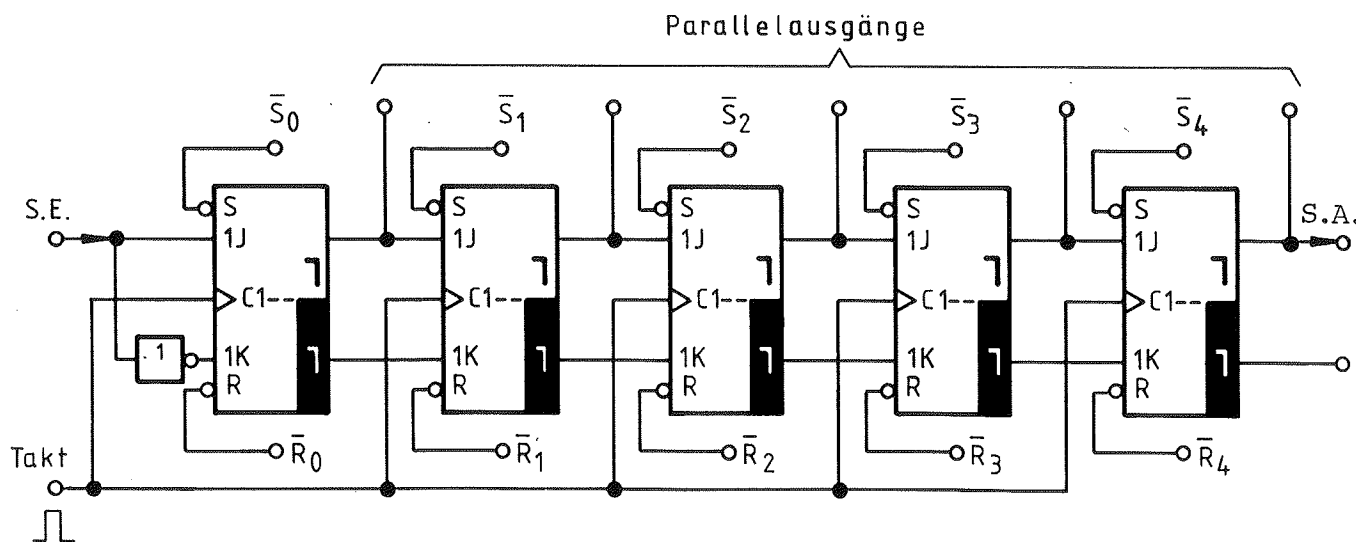
Zu diesen Gleichungen gehört folgende Schaltung:



### Aufgabe 2 - 1:

Ausgehend von der obigen Prinzipschaltung eines Schieberegisters für eine Bitstelle entwerfe man ein 5-stelliges Schieberegister mit JK-MS-Flipflops und überzeuge sich von der Wirkungsweise. Auf welche Weise kann das Schieberegister "geladen" werden, d.h., der Informationsgehalt übernommen werden (parallel und seriell)?

### Lösung 2 - 1:



S.E. = Serieneingang (Informationseingang seriell)

S.A. = Serienausgang (Informationsausgang seriell)

Informationsübernahme:

- seriell: Eingabe an S.E., pro Takt wird eine Bitstelle übernommen
- parallel: Eingabe an  $\bar{S}_0 \dots \bar{S}_4$  bzw.  $\bar{R}_0 \dots \bar{R}_4$  statisch

## 2.2 Funktionen eines Schieberegisters

Schieberegister können benutzt werden als:

1. Serien-Parallel-Umsetzer:

Serielle Eingabe der Information, parallele Ausgabe der Information zu einem späteren, beliebigen Zeitpunkt.

2. Parallel-Serien-Umsetzer:

Parallele Eingabe der Information, serielle Ausgabe der Information zu einem späteren, beliebigen Zeitpunkt.

3. Serien-Serien-Umsetzer:

Serielle Eingabe, Abspeicherung, serielle Ausgabe zu einem späteren, beliebigen Zeitpunkt.

4. Parallel-Parallel-Umsetzer:

Parallele Eingabe, Abspeicherung, parallele Ausgabe zu einem späteren, beliebigen Zeitpunkt.

## 2.3 Universelles Schieberegister für Parallel- oder Serieneingabe

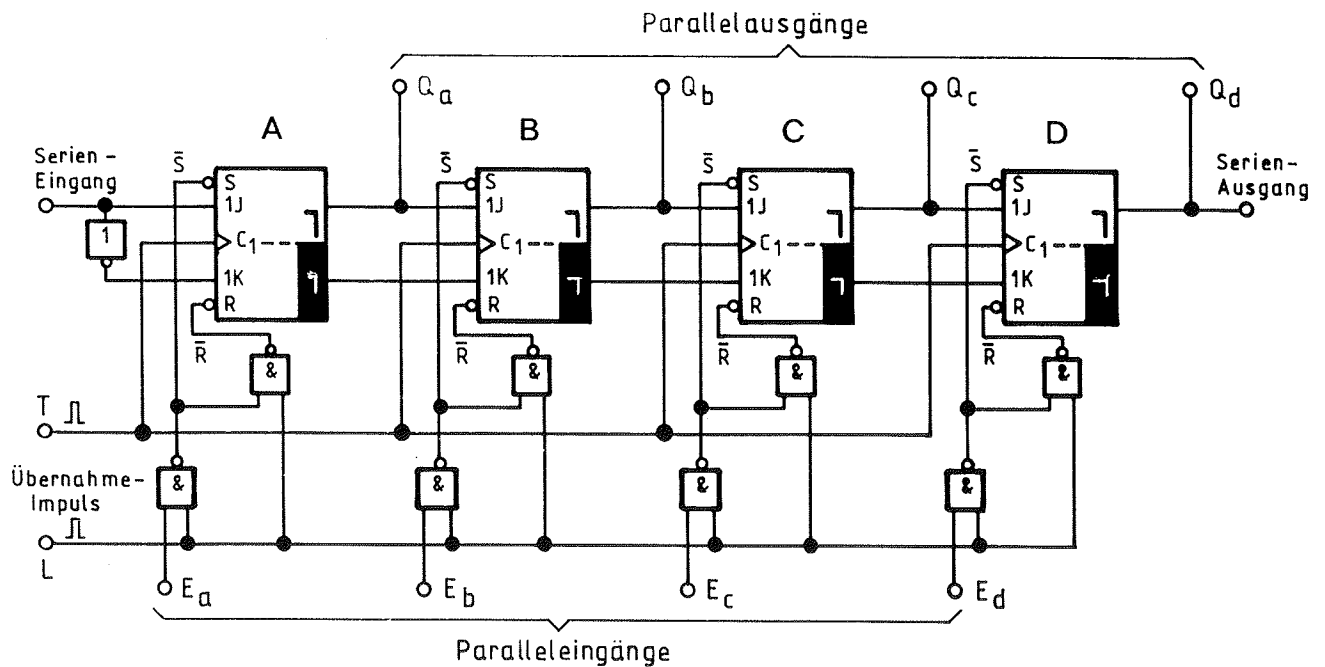
Die vorhandenen J-K-Flipflops in der Abbildung auf S. 28 können statisch nur einzeln am Setzeingang gesetzt werden, wenn  $\bar{S} = 0$  ist, und statisch zurückgesetzt werden am Rücksetzeingang, wenn  $\bar{R} = 0$  ist. Rücksetzen an  $\bar{S}$  und Setzen an  $\bar{R}$  ist nicht möglich. Um bei einem Schieberegister die gesamte Information zu einem bestimmten Zeitpunkt parallel eingeben zu können, muß sowohl gleichzeitig bei allen Flipflops gesetzt und zurückgesetzt werden können, je nach dem, welche Information eingegeben werden soll.

### Aufgabe 2 - 2:

Man ändere das Schieberegister entsprechend der Lösung 2 - 1 mit Hilfe von NAND-Gattern so ab, daß die unter Punkt 2.3 gestellten Forderungen realisiert werden. Dabei soll die Information an den Paralleleingängen gleichzeitig durch einen Übernahme- oder Lade-Impuls L übernommen werden.

Lösung 2 - 2:

Schaltung für 4 Bitstellen:



Für Flipflop A gilt:

$$\bar{S} = \overline{E_a \cdot L}; \quad \bar{S} = 0 \text{ wenn } E_a = 1 \text{ und } L = 1 \quad (Q_a = 1)$$

$$\bar{R} = \overline{\bar{S} \cdot L} = \overline{\overline{E_a \cdot L} \cdot L} = E_a + \bar{L}$$

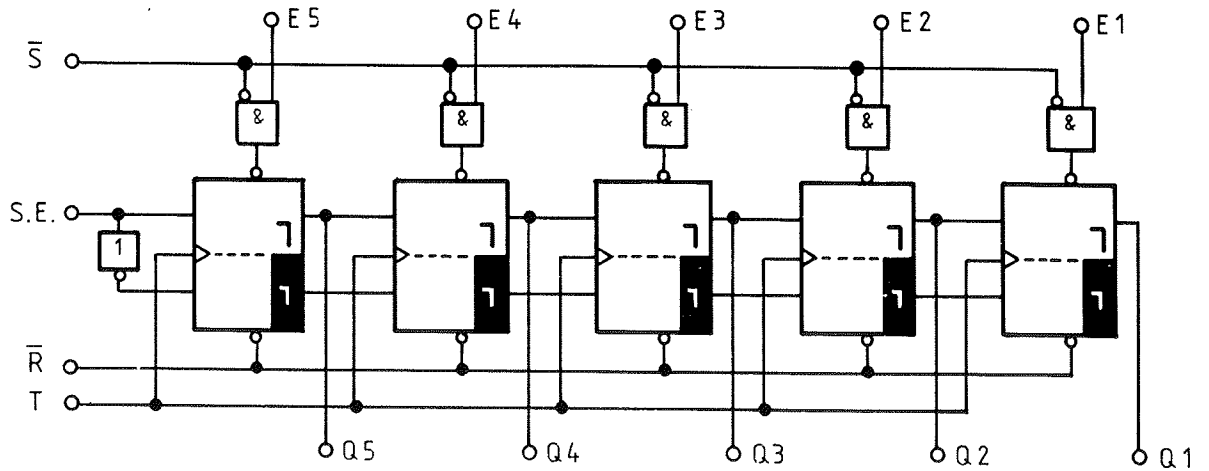
$$\bar{R} = 0 \text{ wenn } E_a = 0 \text{ und } L = 1 \quad (Q_a = 0)$$

Für die anderen Flipflops gilt entsprechendes.

Die im Digital-Lehrmodell 3510 F bzw. 3505 D vorhandenen 5-stelligen Schieberegister können nur parallel geladen werden, wenn vorher alle Flipflops zurückgesetzt waren ( $\bar{R} = 0$ ), weil an den Setzeingängen nur gesetzt aber nicht zurückgesetzt werden kann.

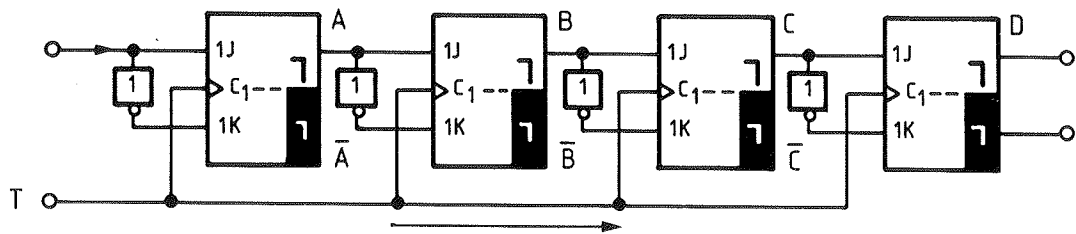


In den Geräten 3505 D/3510 F vorhandene Schieberegister:

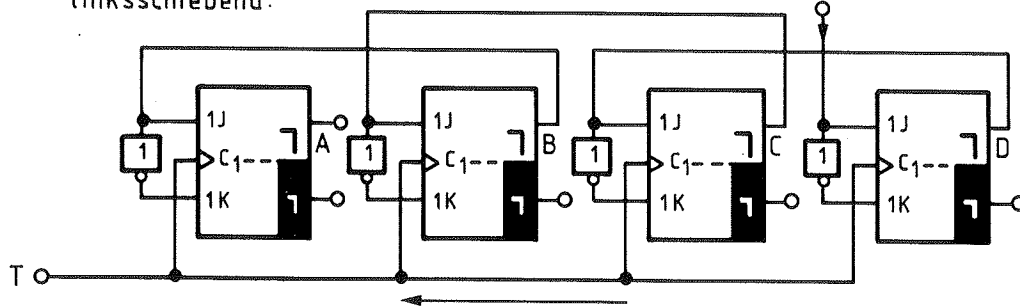


2.4 Umschaltbares Rechts-Links-Schieberegister

rechtsschiebend:



linksschiebend:



Aufgabe 2 - 3:

Es ist ein umschaltbares Rechts-Links-Schieberegister für 4 Bitstellen mit 4 Einzelflipflops zu entwerfen und aufzubauen. Die Umschaltung soll durch ein Steuersignal x erfolgen. Die Richtungsänderung des Informationsflusses realisiere man mit Gattern. Auf eine gemeinsame Parallelübernahme der Information kann verzichtet werden.

Lösung 2 - 3:

Zuordnung des Steuersignals:

$x = 1$     rechtschiebend

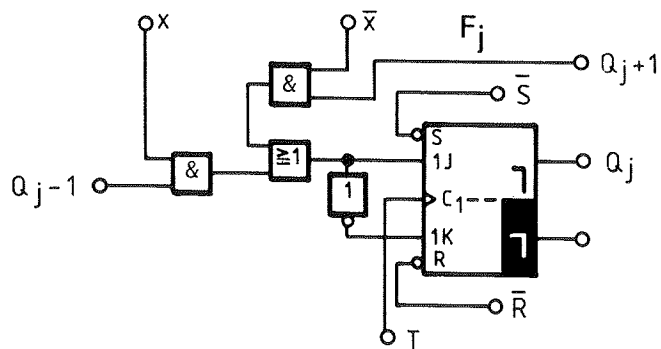
$x = 0$     linksschiebend

Allgemein muß für das Flipflop  $F_j$  gelten

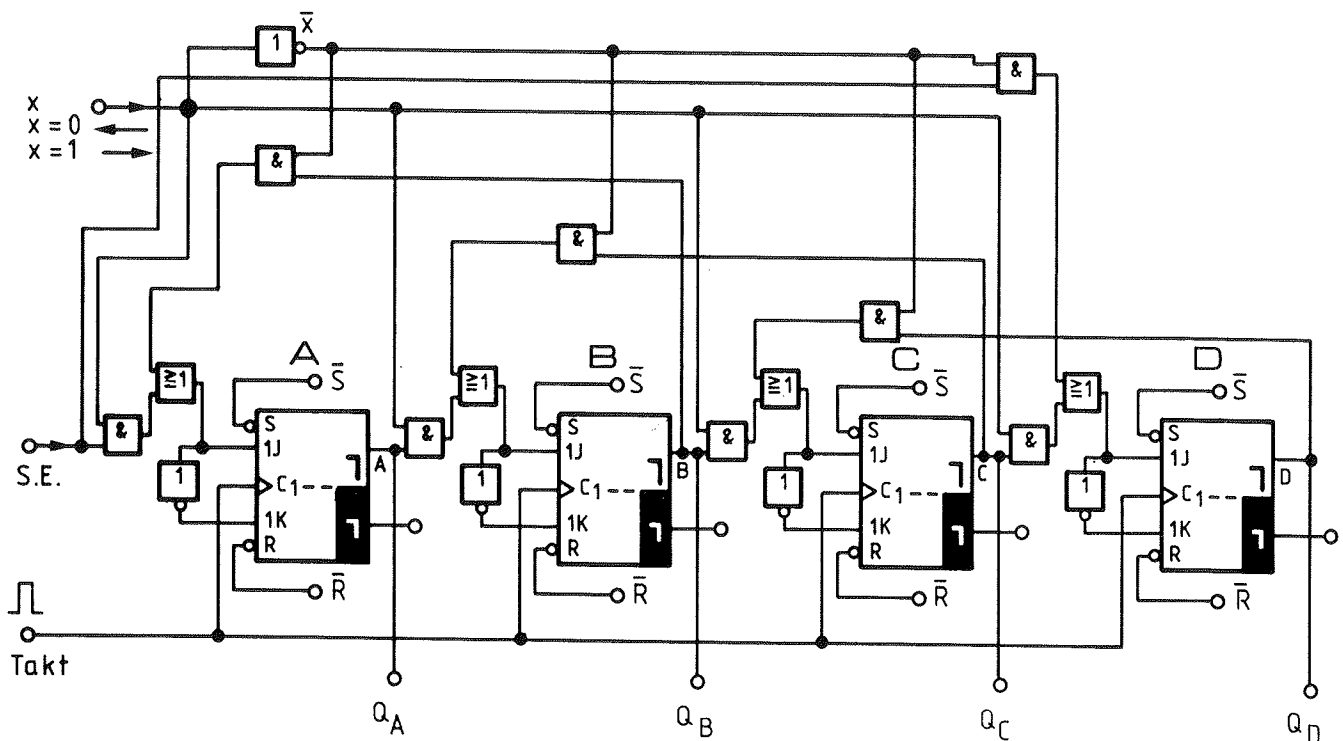
Setzen     :  $J_j = T (x \cdot Q_{j-1} + \bar{x} \cdot Q_{j+1})$

Rücksetzen:  $K_j = \bar{J}_j$

Prinzipschaltung für ein Flipflop:



Komplette Schaltung:



### 3. SYNCHRONE ZÄHLER

#### 3.1 Allgemeines

Impulszähler sind neben den logischen Verknüpfungen die Grundelemente aller digitalen Steuerungen. Dabei werden in beliebiger zeitlicher Reihenfolge Impulse mittels spezieller Flipflopschaltungen gezählt. Die Zustände, mit denen sich die Flipflops ändern, werden nach einem gewünschten Code festgelegt. Mit Hilfe von Decodern kann jederzeit der momentane Zählstand abgefragt werden. Prinzipiell gibt es 2 Zählorganisationen:

der seriellgesteuerte Zähler (Asynchrone Zähler) und der parallelgesteuerte Zähler (Synchrone Zähler), auch taktgesteuerter Zähler genannt.

Beim Asynchrone Zähler wird meistens nur das erste Flipflop direkt vom Takt getriggert, während alle anderen Flipflops von irgendwelchen Ausgängen der Flipflops getaktet werden. Der Vorteil liegt in einem einfachen Schaltungsaufbau, der Nachteil liegt in dem asynchronen Umschalten der Flipflops, da einige Flipflops erst nach mehreren Flipflop-Laufzeiten umgeschaltet werden, so daß im Moment des Umschaltens ein nicht definierter Zählerstand entsteht.

Beim Synchrone Zähler erfolgt die entsprechende Umschaltung zentral durch einen Takt, so daß nur die Laufzeit eines Flipflops zur Geltung kommt. Meistens ist der Schaltungsaufwand größer als bei asynchronen Zählern.

Die folgenden Zählschaltungen werden alle mit J-K-Master-Slave Flipflops aufgebaut, bei denen die Information an den J- und K-Eingängen mit der positiven Flanke des Taktimpulses in das Master-Flipflop übernommen wird und durch die negative Flanke an die  $Q$ - $\bar{Q}$ -Ausgänge weitergegeben wird.

Die Funktionstabelle eines J-K-Flipflops lautet:

$J^n$	$K^n$	$Q^{n+1}$
0	0	$Q^n$
1	0	1
0	1	0
1	1	$\overline{Q^n}$

vor
nach  
 Taktimpuls

Um einen gewünschten Ausgangszustand zu bekommen, muß die entsprechende Belegung an den J- und K-Eingängen vor dem Taktimpuls vorhanden sein. Die positive Flanke des Taktes übernimmt dann den Eingangszustand.

### 3.2 Schaltungssynthese

Beispiel: Synchroner Vorwärts-Zehnerzähler im 8-4-2-1-Code  
 Für eine Zählkapazität von 10 werden 4 Flipflops a, b, c, d benötigt, wobei 6 Zustände übersprungen werden und somit redundant sind.

Code-Tabelle:

Code				Zähl- takt
a	b	c	d	
0	0	0	0	0
1	0	0	0	1
0	1	0	0	2
1	1	0	0	3
0	0	1	0	4
1	0	1	0	5
0	1	1	0	6
1	1	1	0	7
0	0	0	1	8
1	0	0	1	9
0	0	0	0	10 = 0

zeit-  
 licher  
 Ablauf

Karnaugh-Diagramm:

$\begin{matrix} \downarrow a \\ \rightarrow b \\ c \quad d \end{matrix}$	0	0	1	1
	0	1	1	0
0 0	0	2	3	1
0 1	8	x	x	9
1 1	x	x	x	x
1 0	4	6	7	5

Die übrigen Felder sind don't care-Felder (x)

z.B. wird das Flipflop D beim Übergang von 7 nach 8 gesetzt, die Vorbereitung dazu muß bereits bei 7 erfolgen. Der 8. Takt übernimmt diese Belegung am J-Eingang in das Flipflop. Rückgesetzt wird Flipflop D beim Übergang von 9 nach 0, die Vorbereitung dazu muß aber auch hier bereits bei 9 am K-Eingang erfolgen.

Allgemein kann man sagen, daß die Vorbereitung zum Setzen und Rücksetzen am J- und K-Eingang stets beim Zustand vor dieser Änderung vorgenommen werden muß.

z.B. lautet die Setzbedingung von D:

$$sD = T \cdot a b c \bar{d}$$

und bedeutet: Flipflop D soll gesetzt werden, wenn der Takt kommt und vorher der Zustand  $a b c \bar{d}$  war. Entsprechend lautet die Rücksetzbedingung von D:

$$rD = T \cdot a \bar{b} \bar{c} d$$

und bedeutet wiederum: Flipflop D wird zurückgesetzt, wenn der Takt kommt und vorher der Zustand  $a \bar{b} \bar{c} d$  anlag.

Diese Gleichungen können vereinfacht werden, da am J-Eingang gesetzt wird und am K-Eingang rückgesetzt werden kann. In den Gleichungen kann der Takt T weggelassen werden, weil er ja sowieso an allen Flipflops anliegt.

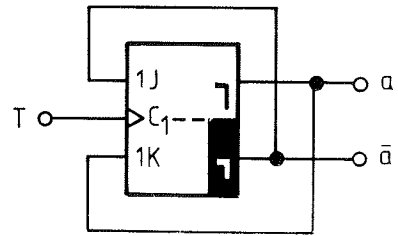
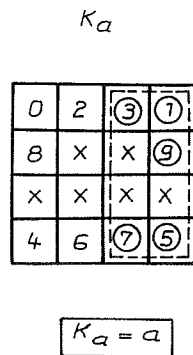
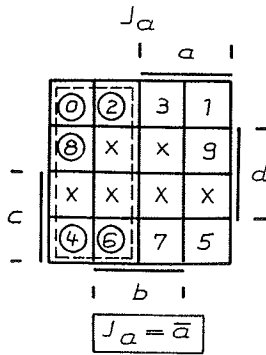
Somit lauten die Gleichungen für das Flipflop D:

$$\begin{aligned} J_D &= a b c \bar{d} \triangleq 7 && \text{Die Zahlenangabe soll hier verein-} \\ K_D &= a \bar{b} \bar{c} d \triangleq 9 && \text{fachend für den entsprechenden Zu-} \\ &&& \text{stand stehen.} \end{aligned}$$

Entsprechend heißen die Gleichungen für die anderen Flipflops:

$$\begin{aligned} J_A &= 0 + 2 + 4 + 6 + 8 & J_B &= 1 + 5 & J_C &= 3 \\ K_A &= 1 + 3 + 5 + 7 + 9 & K_B &= 3 + 7 & K_C &= 7 \end{aligned}$$

Diese Zustände brauchen nun nur in das Karnaugh-Diagramm eingetragen und vereinfacht zu werden.



Die eingezeichneten Verbindungen sind bereits bei einem J-K-Flipflop vorhanden, so daß man sie nicht noch einmal extern herstellen muß.

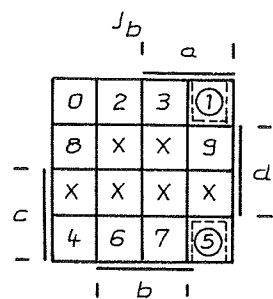
In den nachfolgenden Gleichungen wird deshalb dieses Glied immer durchgestrichen. Interpretiert man die Setz- und Rücksetzgleichungen, dann heißen sie:

Flipflop A soll gesetzt werden, wenn es vorhin nicht gesetzt war (wegen  $\bar{a}$ ) und

Flipflop A soll rückgesetzt werden, wenn es vorhin gesetzt war (wegen  $a$ )

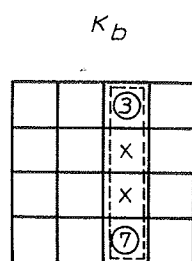
Man sieht, daß diese Aussagen logisch sind.

Entsprechend gilt für die anderen Flipflops nun schon vereinfacht, da ja immer das gleiche Diagramm zugrunde gelegt wird (disjunktive Normalform):



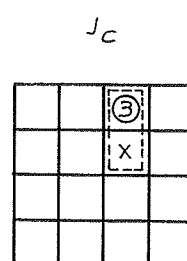
$J_b = a \bar{x} \bar{d}$

$J_b = a \bar{d}$



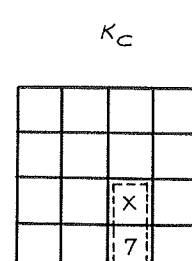
$K_b = a \bar{x}$

$K_b = a$



$J_c = a b \bar{x}$

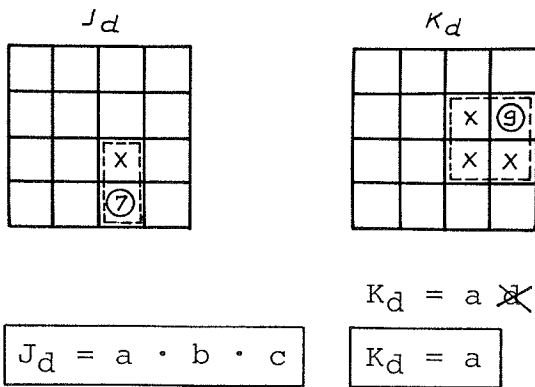
$J_c = a b$



$K_c = a b \bar{x}$

$K_c = a b$

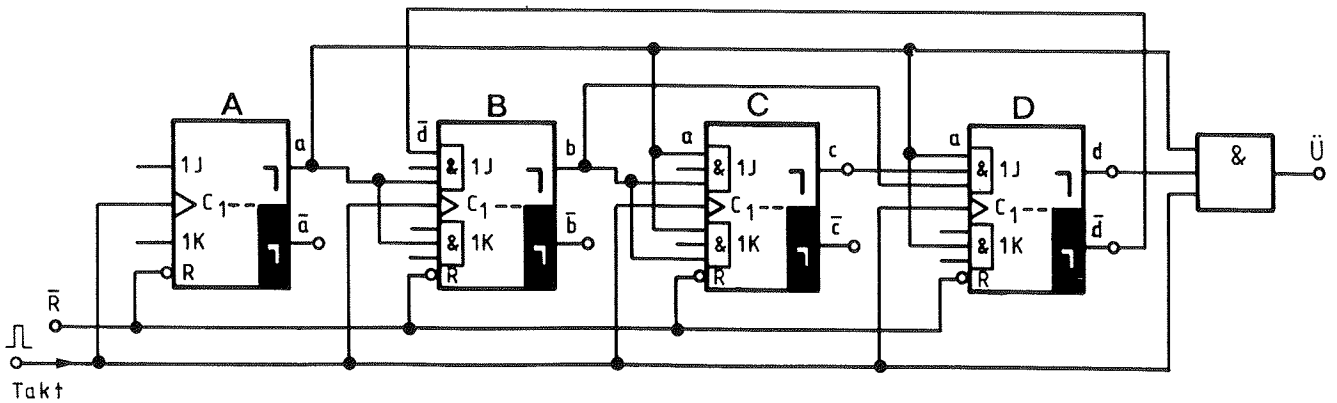
(wegen J-K-FF)



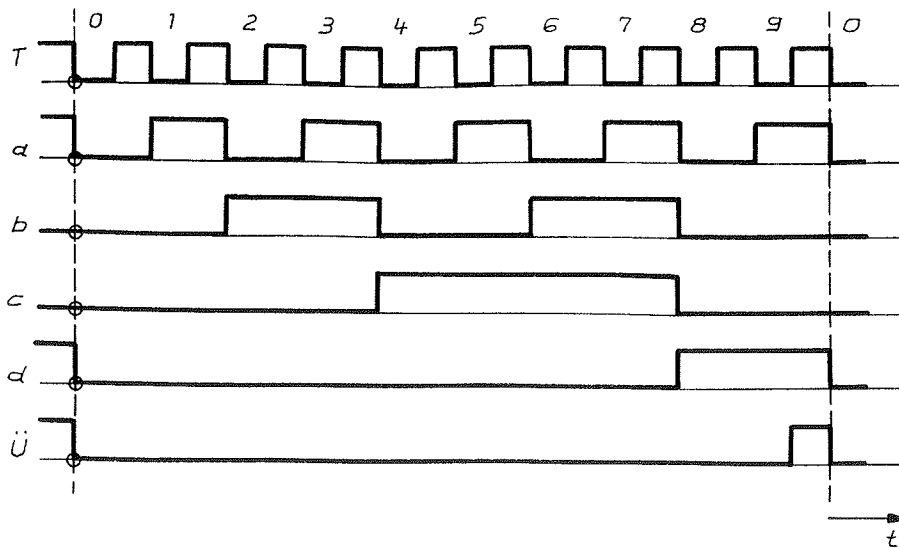
Soll beim Übergang von 9 auf 0 eine weitere Zähldekade angesteuert werden, so muß ein Übertrag zur Verfügung stehen. Die Bedingung  $\bar{u} = T \cdot 9 = T \cdot a \bar{d}$  liefert einen Übertragsimpuls  $\bar{u}$ , der die gleiche Impulsbreite hat wie der Taktimpuls. Ist die Impulsbreite des Übertrags belanglos, so kann der Ausgang D zur Ansteuerung der nächsten Zähldekade benutzt werden.

Mit den Setz- und Rücksetzbedingungen kann nun die komplette Schaltung entwickelt werden.

Schaltung synchrone Vorwärts-8-4-2-1-Zähldekade:



Impulsdiagramm:



3.3 Aufgaben

Aufgabe 3 - 1:

Man gebe die minimale Schaltung einer synchronen 8-4-2-1-Rückwärts-Zähldekade an, überprüfe die Richtigkeit der Schaltung experimentell und stelle das Impulsdiagramm auf.

Lösung 3 - 1:

Der Zähler wird nach den gleichen Regeln entworfen, wie sie bei der synchronen 8-4-2-1-Vorwärts-Zähldekade erläutert worden sind.

Code-Tabelle:

Dezimal- ziffer	Code				Zähl- takt
	a	b	c	d	
0	0	0	0	0	0
9	1	0	0	1	1
8	0	0	0	1	2
7	1	1	1	0	3
6	0	1	1	0	4
5	1	0	1	0	5
4	0	0	1	0	6
3	1	1	0	0	7
2	0	1	0	0	8
1	1	0	0	0	9
0	0	0	0	0	10 = 0

Lageplan der Dezimalziffern im Karnaugh-Diagramm:

a b c d	a	0	0	1	1
	b	0	1	1	0
0	0	0	2	3	1
0	1	8			9
1	1				
1	0	4	6	7	5



Gleichungen

$$J_a = 0 + 8 + 6 + 4 + 2$$

$$K_a = 9 + 7 + 5 + 3 + 1$$

$$J_c = 8$$

$$K_c = 4$$

$$J_b = 8 + 4$$

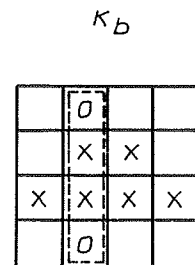
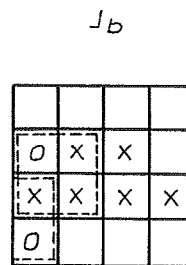
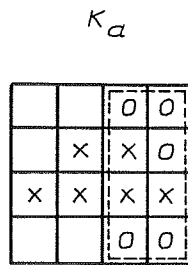
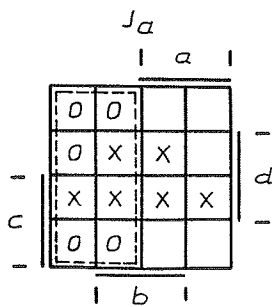
$$K_b = 6 + 2$$

$$J_d = 0$$

$$K_d = 8$$

Karnaugh-Diagramme:

(x = don't care-Feld, 0 - markiertes Feld)



$$J_a = \bar{x}$$

$$J_a = 1$$

$$K_a = \bar{x}$$

$$K_a = 1$$

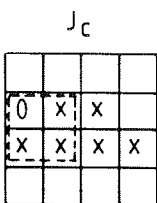
$$J_b = \bar{a}d + \bar{a}\bar{x}c$$

$$J_b = \bar{a}(c + d)$$

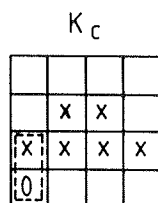
$$J_b = \bar{a} \cdot \bar{c} \cdot \bar{d}$$

$$K_b = \bar{a}\bar{x}$$

$$K_b = \bar{a}$$

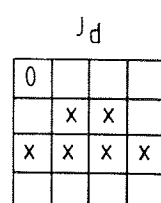


$$J_c = \bar{a}d$$



$$K_c = \bar{a}\bar{x}$$

$$K_c = \bar{a}\bar{b}$$



$$J_d = \bar{a}\bar{b}\bar{c}\bar{x}$$

$$J_d = \bar{a}\bar{b}\bar{c}$$

$K_d$  wie  $J_c$

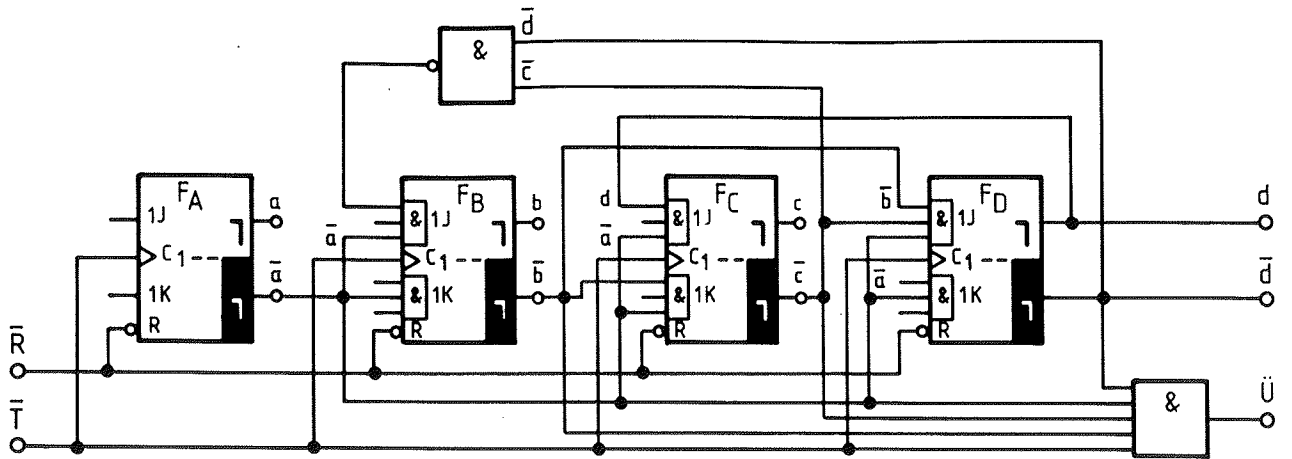
$$K_d = \bar{a}\bar{x}$$

$$K_d = \bar{a}$$

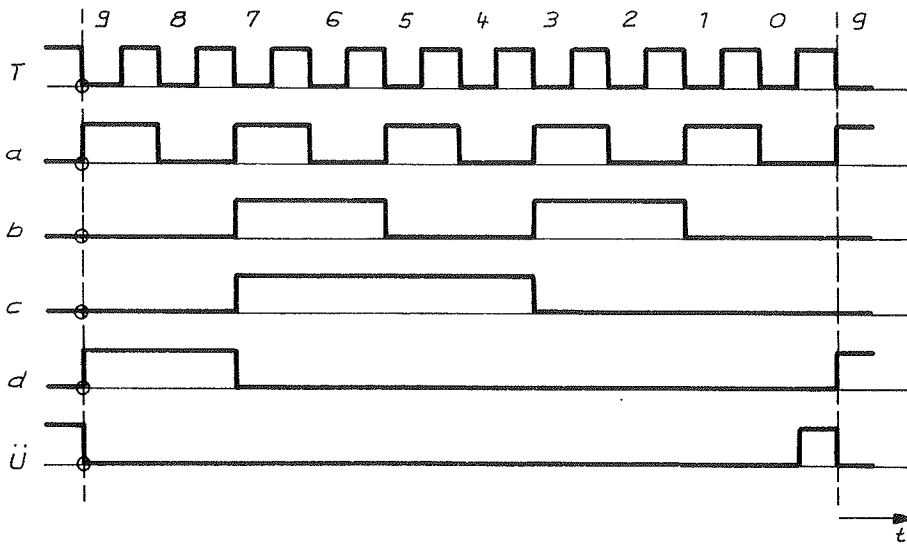
Der Übertragungsimpuls muß beim Zustand 0 erfolgen.

$$\ddot{u} = T \cdot \bar{a}\bar{b}\bar{c}\bar{d}$$

Schaltung synchrone 8-4-2-1-Rückwärts-Zähldekade:



Impulsdiagramm:



Aufgabe 3 - 2:

Unter Zuhilfenahme der Schaltungen auf S.37 und S.40 entwickle man eine Schaltungsanordnung für eine umschaltbare synchrone Vorwärts-/Rückwärts-8-4-2-1-Zähldekade. Dabei sind Informationsweichen aus Gattern zu benutzen, die mit einem Steuersignal X geschaltet werden.

Lösung 3 - 2:

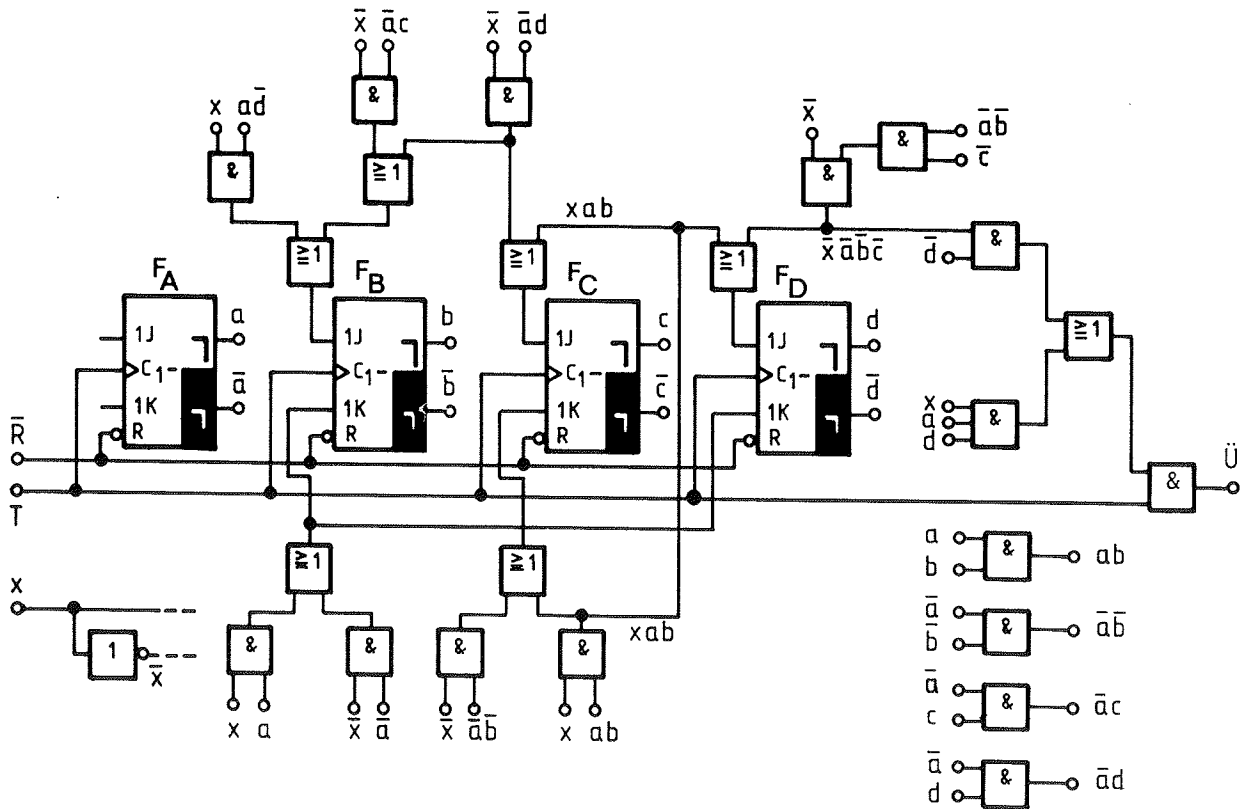
Da der Vorwärtszähler und auch der Rückwärtszähler für den 8-4-2-1-Code bereits entworfen sind, braucht man für den umkehrbaren Zähler nur eine Ansteuerung der Flipflop-Eingänge über Informationsweichen vorzunehmen. Diese Informationsweiche wird mit einem Steuersignal X geschaltet.

X = 1 : Vorwärtszähler;    X = 0 : Rückwärtszähler;

Zur Auslegung der Informationsweichen werden noch einmal beide Setz- und Rücksetzgleichungen betrachtet.

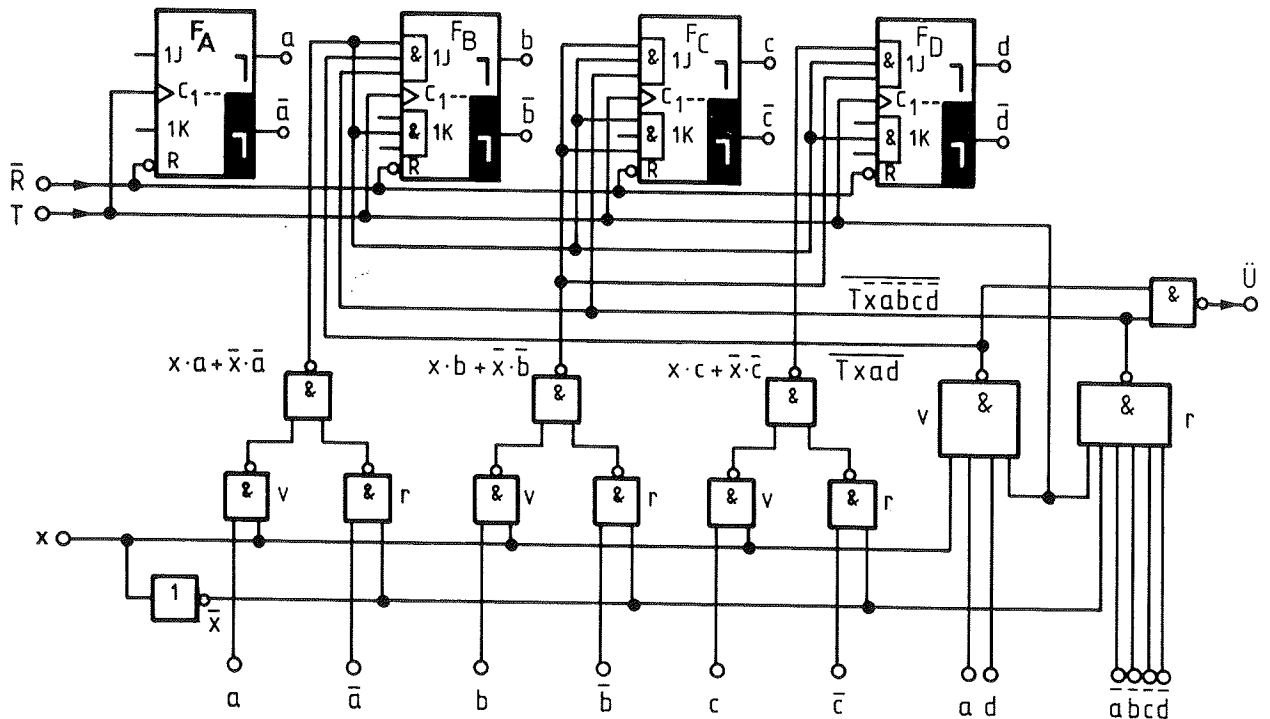
<u>Vorwärts:</u>	<u>Rückwärts:</u>	<u>kombiniert:</u>
$J_A = 1$	$J_A = 1$	$J_A = 1$
$K_A = 1$	$K_A = 1$	$K_A = 1$
$J_B = a \cdot \bar{d}$	$J_B = \bar{a}(c + d)$	$J_B = X \cdot a \cdot \bar{d} + \bar{X} \cdot \bar{a}(c + d)$
$K_B = a$	$K_B = \bar{a}$	$K_B = X \cdot a + \bar{X} \cdot \bar{a}$
$J_C = a \cdot b$	$J_C = \bar{a} \cdot \bar{d}$	$J_C = X \cdot a \cdot b + \bar{X} \cdot \bar{a} \cdot \bar{d}$
$K_C = a \cdot b$	$K_C = \bar{a} \cdot \bar{b}$	$K_C = X \cdot a \cdot b + \bar{X} \cdot \bar{a} \cdot \bar{b}$
$J_D = a \cdot b$	$J_D = \bar{a} \cdot \bar{b} \cdot \bar{c}$	$J_D = X \cdot a \cdot b + \bar{X} \cdot \bar{a} \cdot \bar{b} \cdot \bar{c}$
$K_D = a$	$K_D = \bar{a}$	$K_D = X \cdot a + \bar{X} \cdot \bar{a} = K_B$
$\dot{U} = T \cdot a \cdot d$	$\dot{U} = T \cdot \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d}$	$\dot{U} = X \cdot T \cdot a \cdot d + \bar{X} \cdot T \cdot \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d}$
		$\dot{U} = T(X \cdot a \cdot d + \bar{X} \cdot \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d})$

Schaltung:



Durch geschickte Ausnützung mehrfach vorhandener Kombinationen läßt sich die Ansteuerlogik vereinfachen.

Vereinfachte Schaltung:



Aufgabe 3 - 3:

Man entwickle und überprüfe eine synchrone Exzeß-3-Code-Vorwärts-Zähldekade und stelle das Impulsdiagramm auf.

Lösung 3 - 3:

Der Entwurf benutzt die beim 8-4-2-1-Zähler bereits erläuterten Vorschriften.

Funktionstabelle:

Code				Zähl- takt
a	b	c	d	
1	1	0	0	0
0	0	1	0	1
1	0	1	0	2
0	1	1	0	3
1	1	1	0	4
0	0	0	1	5
1	0	0	1	6
0	1	0	1	7
1	1	0	1	8
0	0	1	1	9
1	1	0	0	0

## Lageplan:

a b c d	a	0	0	1	1
	b	0	1	1	0
0 0	x	x	0	x	
0 1	5	7	8	6	
1 1	9	x	x	x	
1 0	1	3	4	2	

## Setz- und Rücksetzgleichungen:

$$J_A = 1 + 3 + 5 + 7 + 9$$

$$J_B = 2 + 6 + 9$$

$$K_A = 0 + 2 + 4 + 6 + 8$$

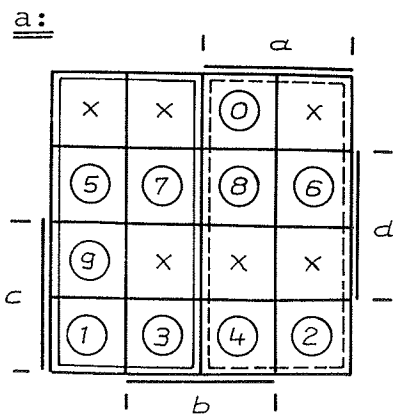
$$K_B = 0 + 4 + 8$$

$$J_C = 0 + 8$$

$$J_D = 4$$

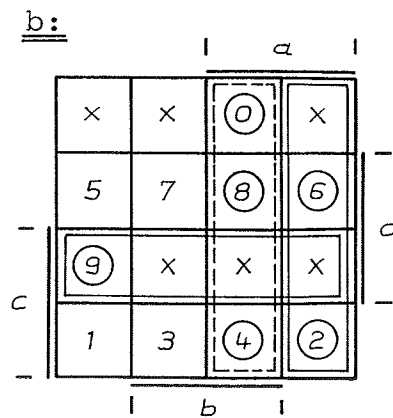
$$K_C = 4 + 9$$

$$K_D = 9$$



$$J_A = \bar{a} \hat{=} 1$$

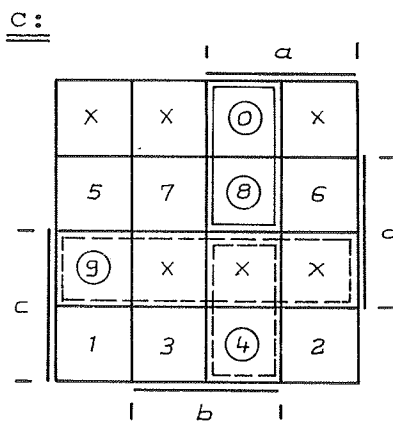
$$K_A = a \hat{=} 1$$



$$J_B = c d + a \bar{x}$$

$$J_B = c d + a = \overline{c d \cdot a}$$

$$K_B = a \bar{x} = a$$



$$J_C = a b \bar{x}$$

$$J_C = a b$$

$$K_C = \bar{x} d + a b \bar{x}$$

$$K_C = \overline{\bar{d} \cdot a b}$$

d:

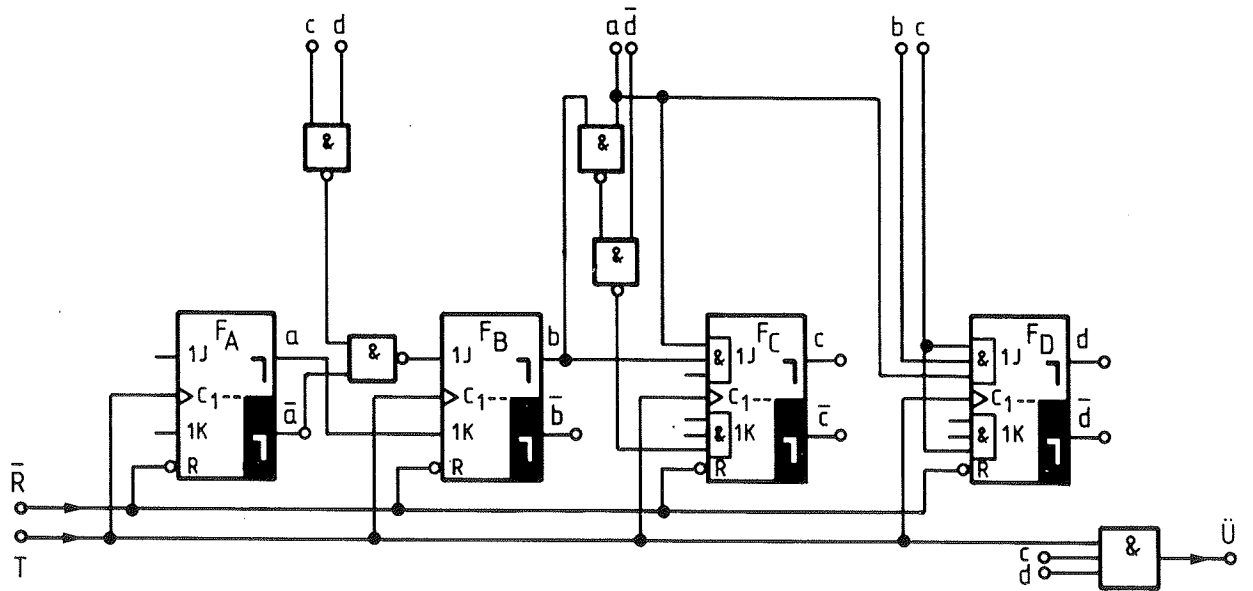
$$J_D = a b c$$

$$K_D = c \bar{x}$$

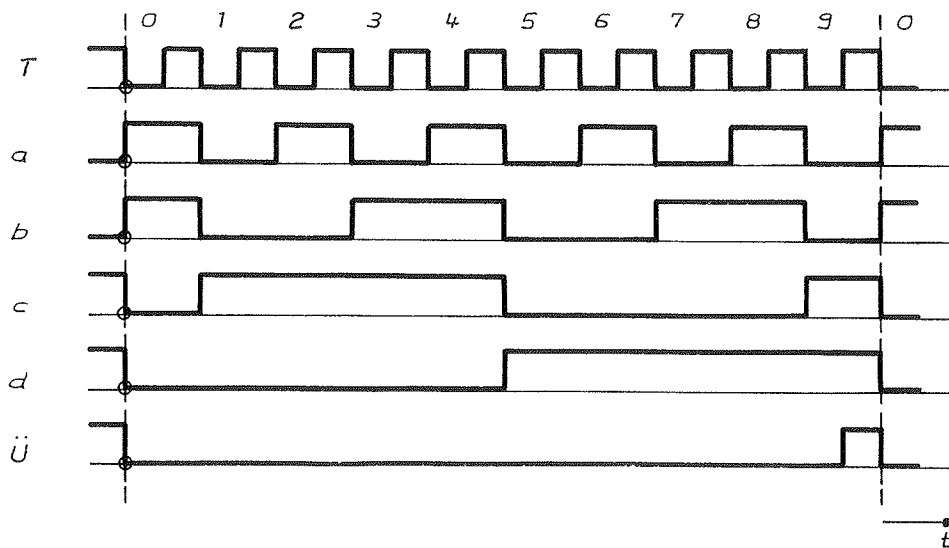
$$K_D = c$$

Dekadenübertrag:  $\bar{U} = T \cdot 9 = T \cdot c d$

Schaltung synchrone Exzeß-3-Code-Vorwärtszähldekade



Impulsdiagramm:



Aufgabe 3 - 4:

Gesucht ist die minimale Schaltungsanordnung einer syn-  
chronen Aiken-Code-Vorwärts-Zähldekade. Anhand der aus-  
probierten Schaltung stelle man ein Impulsdiagramm der  
Flipflops dar.

Lösung 3 - 4:

Code				Zähl- takt T
a	b	c	d	
0	0	0	0	0
1	0	0	0	1
0	1	0	0	2
1	1	0	0	3
0	0	1	0	4
1	1	0	1	5
0	0	1	1	6
1	0	1	1	7
0	1	1	1	8
1	1	1	1	9
<hr/>				
0	0	0	0	0

c \ a	a				
	b	0	0	1	1
0	0	0	2	3	1
0	1	x	x	5	x
1	1	6	8	9	7
1	0	4	x	x	x

Gleichungen:

$$J_A = 0 + 2 + 4 + 6 + 8 = \bar{a} \hat{=} \underline{1}$$

$$K_A = 1 + 3 + 5 + 7 + 9 = a \hat{=} \underline{1}$$

$$J_B = 1 + 4 + 7 = a \bar{b} + c \bar{d} = \underline{a + c \bar{d}}$$

$$K_B = 3 + 5 + 9 = a \bar{b} = \underline{a}$$

$$J_C = 3 + 5 = a b \bar{c} = \underline{a b}$$

$$K_C = 4 + 9 = \bar{c} \bar{d} + a b \bar{c} = \underline{\bar{d} + a b}$$

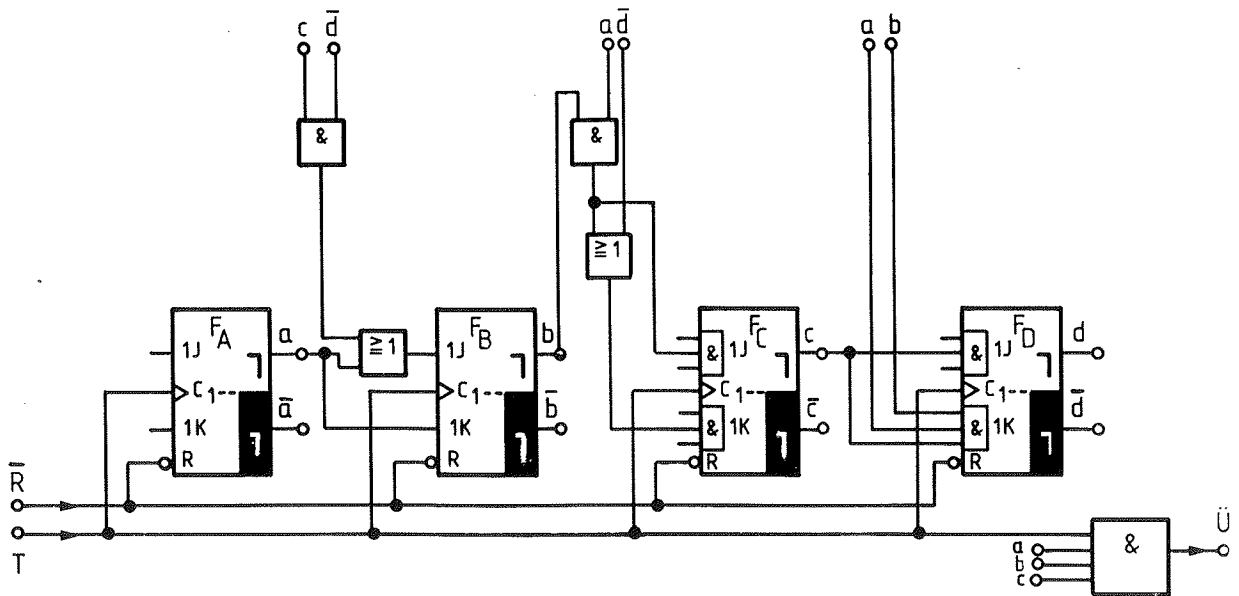
$$J_D = 4 = c \bar{d} = \underline{c}$$

$$K_D = 9 = \underline{a b c}$$

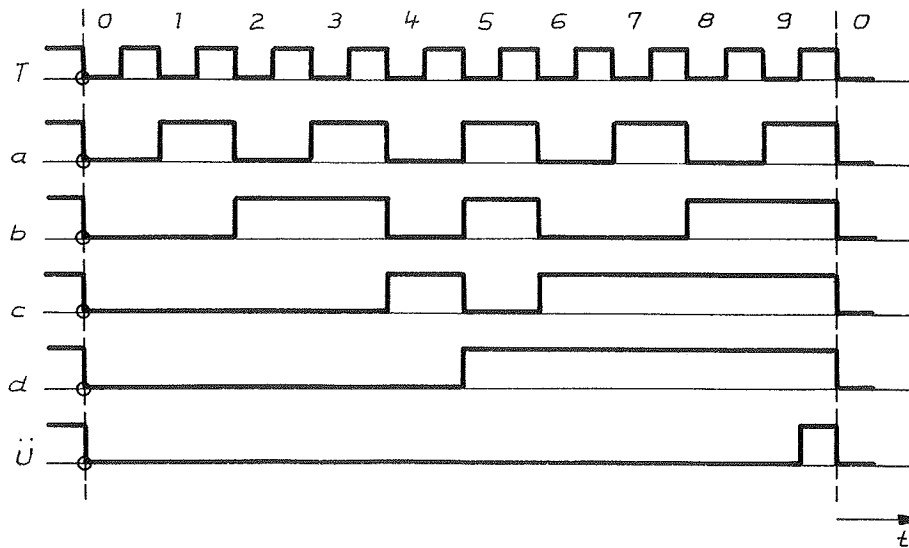
$$\ddot{U} = T \cdot 9 = T \cdot a b c$$



Schaltung synchrone Aiken-Code-Vorwärts-Zähldekade

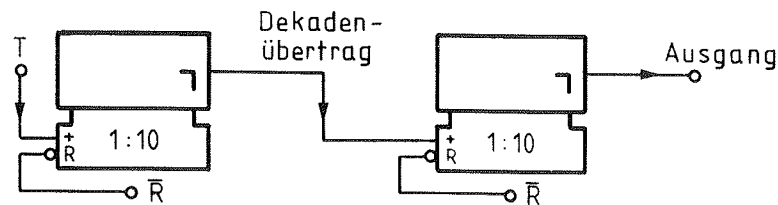
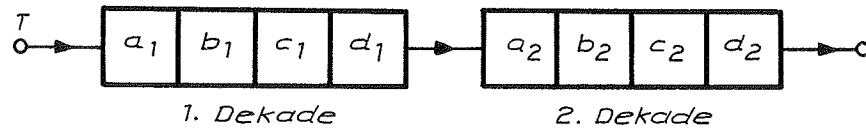


Impulsdiagramm:



### 3.4 Taktgesteuerter synchroner 2-stelliger Dekadenzähler

Bei einem nicht taktgesteuerten Dekadenzähler wird durch den vorangehenden Zehnerzähler der nächstfolgende Zehnerzähler angesteuert, wenn das letzte Flipflop des Zehnerzählers von 1 nach 0 springt und durch diesen Steuersprung die nächste Dekade ansteuert.



d <sub>1</sub>	c <sub>1</sub>	b <sub>1</sub>	a <sub>1</sub>	T
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
0	0	0	0	0

Die im Gerät verwendeten asynchronen Zehnerzähler bestehen aus J-K-Flipflops. Dadurch wird die Information von d<sub>1</sub> bereits beim Übergang von Takt 3 nach 4 durch die positive Flanke von Flipflop c<sub>1</sub> übernommen, aber erst beim Übergang von 7 auf 8 durch die negative Flanke von c<sub>1</sub> zum Ausgang des d<sub>1</sub>-Flipflops gebracht (siehe auch S. 38).

Der folgende Übertrag von 9 nach 0 (  $\downarrow$  ) steuert das Flip-flop  $a_2$  des 2. Zehnerzählers an. Bei taktgesteuerten Schaltungen muß immer dann um Eins erhöht werden, wenn vor dem nächsten Taktimpuls die 1. Dekade auf 9 steht.

### Aufgabe 3 - 5:

Für einen Hunderter-Zähler aus zwei synchronen Dekadenzählern gebe man die minimale Schaltung des Dekadenübertrags von der 1. zur 2. Dekade an und zeichne das Impulsdiagramm der 1. Dekade mit Dekadenübertrag.

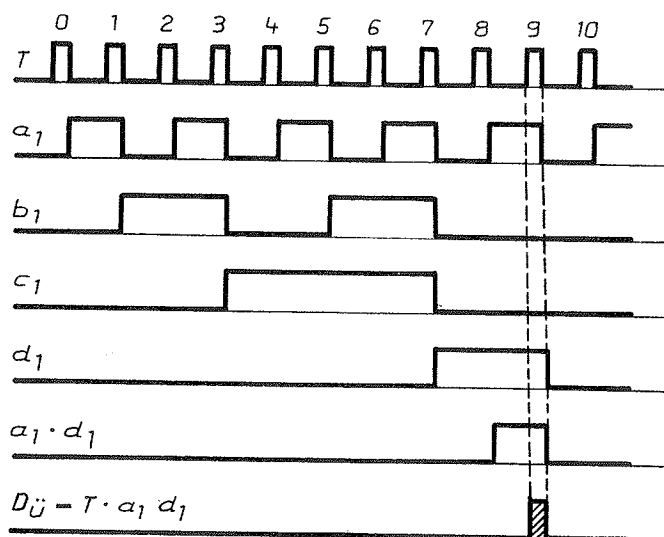
### Lösung 3 - 5:

Wie erwähnt, ist das Kriterium für den Dekadenübertrag  $D_{\ddot{u}}$  der Zustand 9. Die Ziffer 9 der Dekade ist (unter Berücksichtigung der don't-care-Bedingungen beim 8-4-2-1-BCD-Code) durch den logischen Ausdruck  $a_1 \cdot d_1$  gekennzeichnet.

Also ist der Dekadenübertrag  $D_{\ddot{u}}$ :

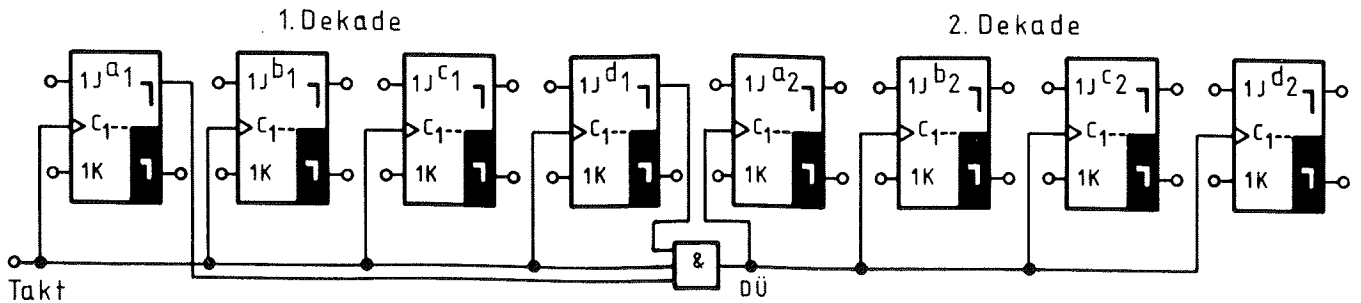
$$D_{\ddot{u}} = T \cdot a_1 \cdot d_1$$

### Impulsdiagramm:



Die Schaltung eines taktgesteuerten 8-4-2-1-Zehnerzählers (= Dekadenzähler) ist S. 37 zu entnehmen.

Schaltung (nur Dekadenübertrag)

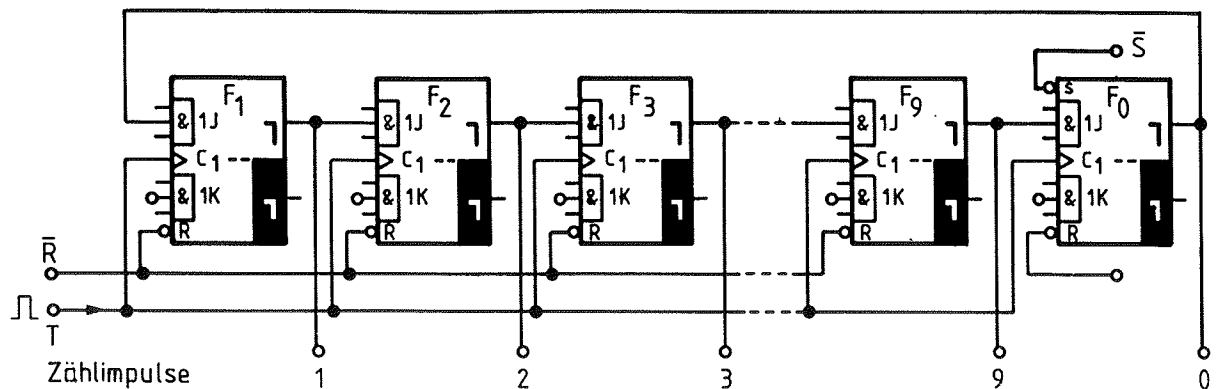


Bei mehreren Dekaden müssen die Dekadenüberträge dann gebildet werden, wenn alle niedrigwertigen Dekaden auf 9 stehen. Die Bildung dieser Überträge wird dadurch natürlich aufwendiger.

### 3.5 Ringzähler (Zählring):

Neben den Dualzählern und BCD-Zählern werden häufig Ringzähler eingesetzt. Diese Ringzähler verwenden als Zählcode die  $\binom{m}{1}$ -Codes, wobei  $m$  die max. Anzahl der zu zählenden Impulse sind. Charakteristisch für  $\binom{m}{1}$ -Codes ist, daß sie in allen aus  $m$  Elementen bestehenden Codewörtern nur in jeweils einer Stelle eine "1" aufweisen.

Es müssen  $m$  bistabile Zählerelemente (Flipflops) in Reihe geschaltet werden. Die eintreffenden Zählimpulse steuern nacheinander die Flipflops an. Nach  $m$  Zählimpulsen ist der Ausgangszustand erreicht. Durch eine Rückführung vom letzten auf das erste Flipflop wird ein Ring gebildet. Dadurch beginnt der Zählzyklus nach  $m$  Impulsen von neuem. Von den  $m$  Flipflops darf stets nur ein Flipflop markiert sein, während alle anderen sich im Zustand "0" befinden müssen. Häufige Anwendung finden Ringzähler mit 10 Flipflops, da ohne Umcodierung eine Anzeige des Zählerergebnisses möglich ist, z.B. eine direkte Ansteuerung einer Zifferanzeigeöhre über Transistoren. Es sind aber auch andere Zählzyklen möglich, z.B. eine Zähldekade für den Biquinärcode mit 6 Speicherelementen für Vor- und Rückwärtszählung.

Schaltung:

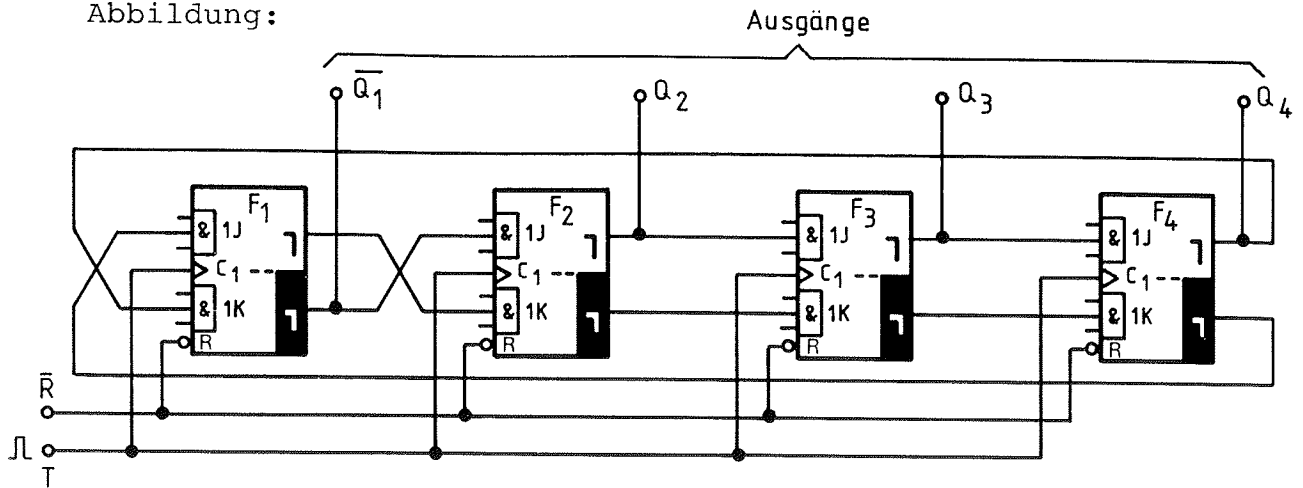
Vor Beginn der Zählung werden die Flipflops  $F_1 \dots F_9$  durch  $\bar{R} = 0$  zurückgesetzt und Flipflop  $F_0$  durch  $\bar{S} = 0$  gesetzt. Mit der ersten positiven Impulsflanke am Zähl Eingang wird diese "1"-Markierung in das Flipflop  $F_1$  übernommen. Auf alle übrigen Flipflops bleibt dieser erste Zählimpuls ohne Einfluß, da durch die Potentiale an den J- und K-Eingängen ein Umschalten dieser Flipflops verhindert wird. (K-Eingang offen  $\hat{=}$  "1")

Aufgabe 3 - 6:

Man baue den obigen Ringzähler auf und überprüfe die Funktion, indem für die Flipflops  $F_1 \dots F_0$  ein Impulsdiagramm erstellt wird.



Eine andere Variante eines Ringzählers zeigt die folgende Abbildung:



Vor Beginn des Schiebevorgangs werden alle Flipflops gelöscht ( $\bar{R} = 0$ ), d.h.,  $\bar{Q}_1 = 1$  und  $Q_2 = Q_3 = Q_4 = 0$ . Wegen der Überkreuzung vor und hinter Flipflop FF<sub>1</sub> gilt für diesen Zustand:

$$\begin{aligned} J_1 &= 1 & (\bar{Q}_4 = 1) \\ K_1 &= 0 \\ J_2 &= 1 & (\bar{Q}_1 = 1) \\ K_2 &= 0 \end{aligned}$$

Allgemein:  $J_1 = \bar{Q}_4; K_1 = Q_4; J_2 = \bar{Q}_1; K_2 = Q_1$

Beim nächstfolgenden Takt werden die Vorbereitungszustände in die nachfolgenden Flipflops übernommen.

Die Funktionstabelle macht die Wirkungsweise deutlich:

		Q <sub>1</sub>	$\bar{Q}_1$	Q <sub>2</sub>	Q <sub>3</sub>	Q <sub>4</sub>
Takt ↓	Löschen	0	1	0	0	0
	1	1	0	1	0	0
	2	1	0	0	1	0
	3	1	0	0	0	1
	4	0	1	0	0	0
	5	1	0	1	0	0

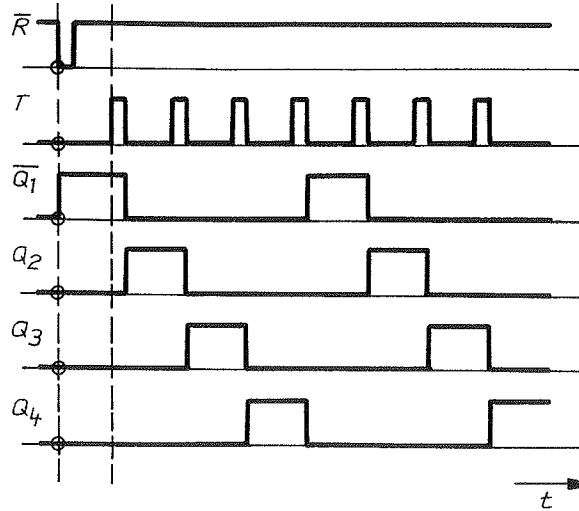
usw.

Aufgabe 3 - 7:

Man baue den auf Seite 53 angegebenen Ringzähler auf, kontrolliere die Wirkungsweise und erstelle ein Impulsdiagramm für die Größen  $T$ ,  $\overline{Q_1}$ ,  $Q_2$ ,  $Q_3$ ,  $Q_4$ .

Lösung 3 - 7:

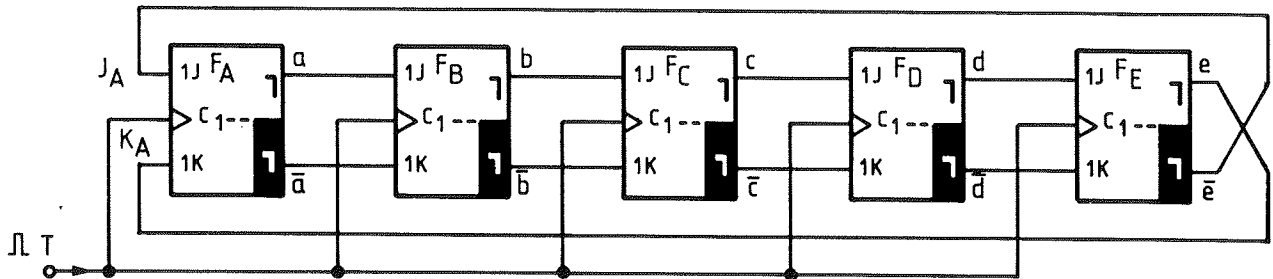
Impulsdiagramm:



3.6 Taktgesteuerte Zähldekade mit 5 Flipflops  
(Johnson-Zähler, Möbius-Zähler)

Dieser modifizierte Ringzähler arbeitet nach dem Code von Libaw und Craig. Es handelt sich um ein Fünferschieberegister mit gekreuzter Rückführung. Diese Zähldekade zeichnet sich gegenüber anderen dekadischen Zählern durch eine sehr einfache Decodierung aus.

3.6.1 Vorwärtszähler



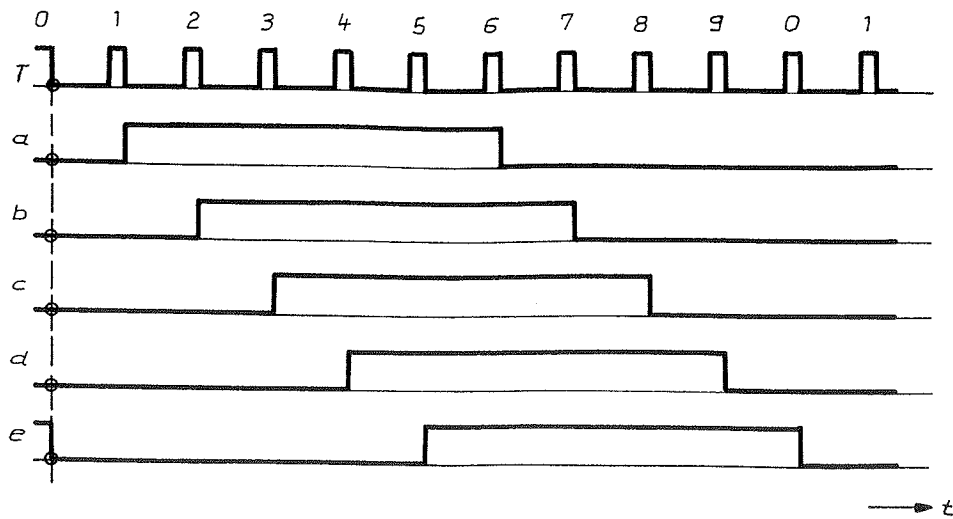


Geht man von dem Zustand  $a = b = c = d = e = 0$  aus, dann ist Flipflop A wegen  $\bar{e} = J_A = 1$  vorbereitet. Der erste Schiebetakt T setzt Flipflop A ( $a = 1$ ). Der nächste Takt kann den Zustand von Flipflop A nicht ändern, weil bei  $e = K_A = 0$  keine Rücksetzung erfolgen kann. Jedoch ist nun Flipflop B durch  $a = J_B = 1$  vorbereitet und wird beim 2. Takt gesetzt. Bis zum 5. Schiebetakt wird jeweils die "1" um eine Stelle weiter nach rechts übertragen, während die vorherigen Stufen ihren Zustand "1" beibehalten. Ab dem 5. Schiebetakt ist  $e = 1$ , so daß nun der nächste Takt wegen  $K_A = e = 1$  Flipflop A zurücksetzt. Jeder weitere Takt setzt die nächstfolgende Stufe auf Null, bis beim 10. Schiebetakt der Ausgangszustand  $a = b = c = d = e = 0$  erreicht ist und der Vorgang sich ab hier wiederholt.

Funktionstabelle:

T	a	b	c	d	e
0	0	0	0	0	0
1	1	0	0	0	0
2	1	1	0	0	0
3	1	1	1	0	0
4	1	1	1	1	0
5	1	1	1	1	1
6	0	1	1	1	1
7	0	0	1	1	1
8	0	0	0	1	1
9	0	0	0	0	0
10	0	0	0	0	0

Impulsdiagramm:

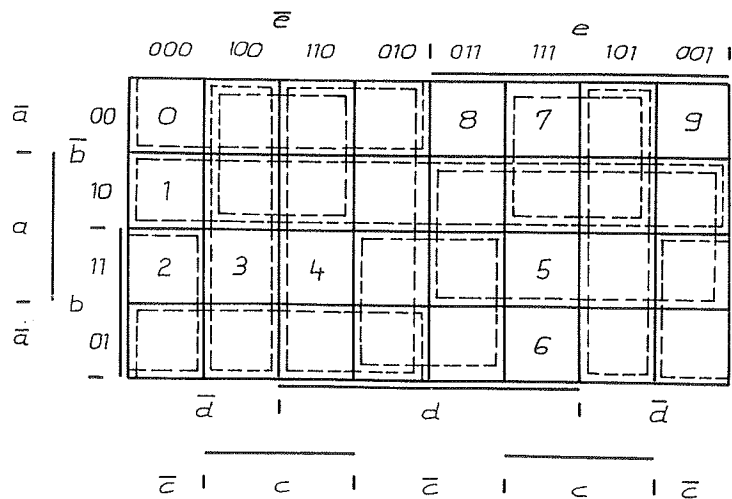


Aufgabe 3 - 8:

Man entwerfe eine Dezimal-Decodierschaltung in minimaler Ausführung für den Johnson-Vorwärtszähler unter Ausnutzung aller Pseudokombinationen bzw. don't-care-Bedingungen.

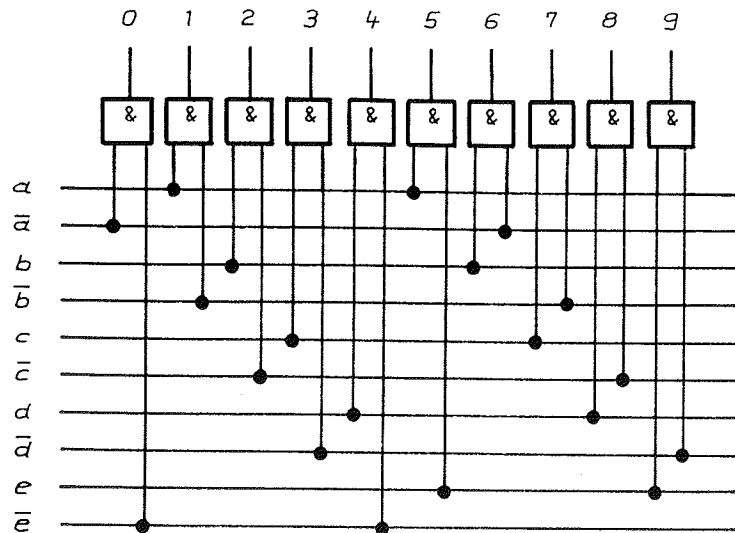
Lösung 3 - 8:

Die Decodierung wird mittels Karnaugh-Diagramm durchgeführt. Von den  $2^5 = 32$  möglichen Kombinationen sind nur 10 ausgenutzt, so daß 22 don't-care-Felder vorhanden sind.



$0 = \bar{a}\bar{e}; \quad 1 = a\bar{b}; \quad 2 = b\bar{c}; \quad 3 = c\bar{d}; \quad 4 = d\bar{e}$   
 $5 = ae; \quad 6 = \bar{a}b; \quad 7 = \bar{b}c; \quad 8 = \bar{c}d; \quad 9 = \bar{d}e$

Schaltung:



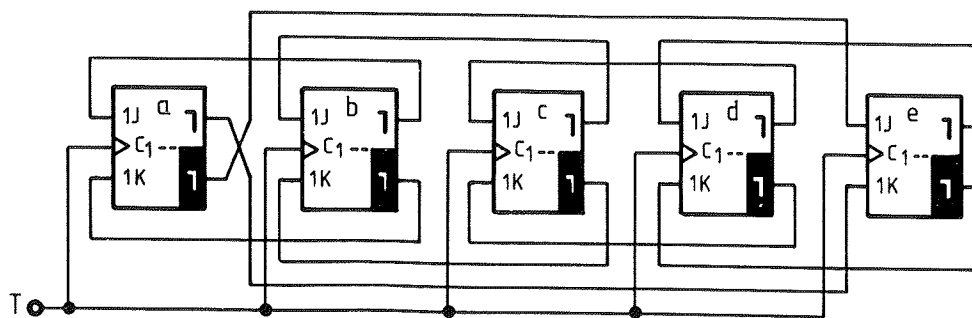
3.6.2 Rückwärtszähler

Aufgabe 3 - 9:

Der Johnsonzähler soll nun als Rückwärtszähler geschaltet werden, d.h., der Zählvorgang beginnt bei Flipflop e und überträgt sich dann sukzessiv auf die Flipflops d, c, b, a. Man gebe die Schaltung dazu an, überprüfe die Richtigkeit und erstelle mittels der realisierten Schaltung Funktions-tabelle und Impulsdiagramm.

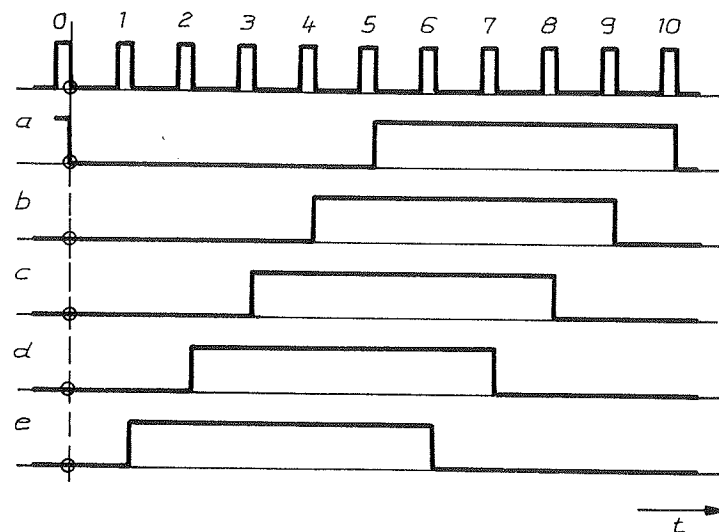
Lösung 3 - 9:

Schaltung:



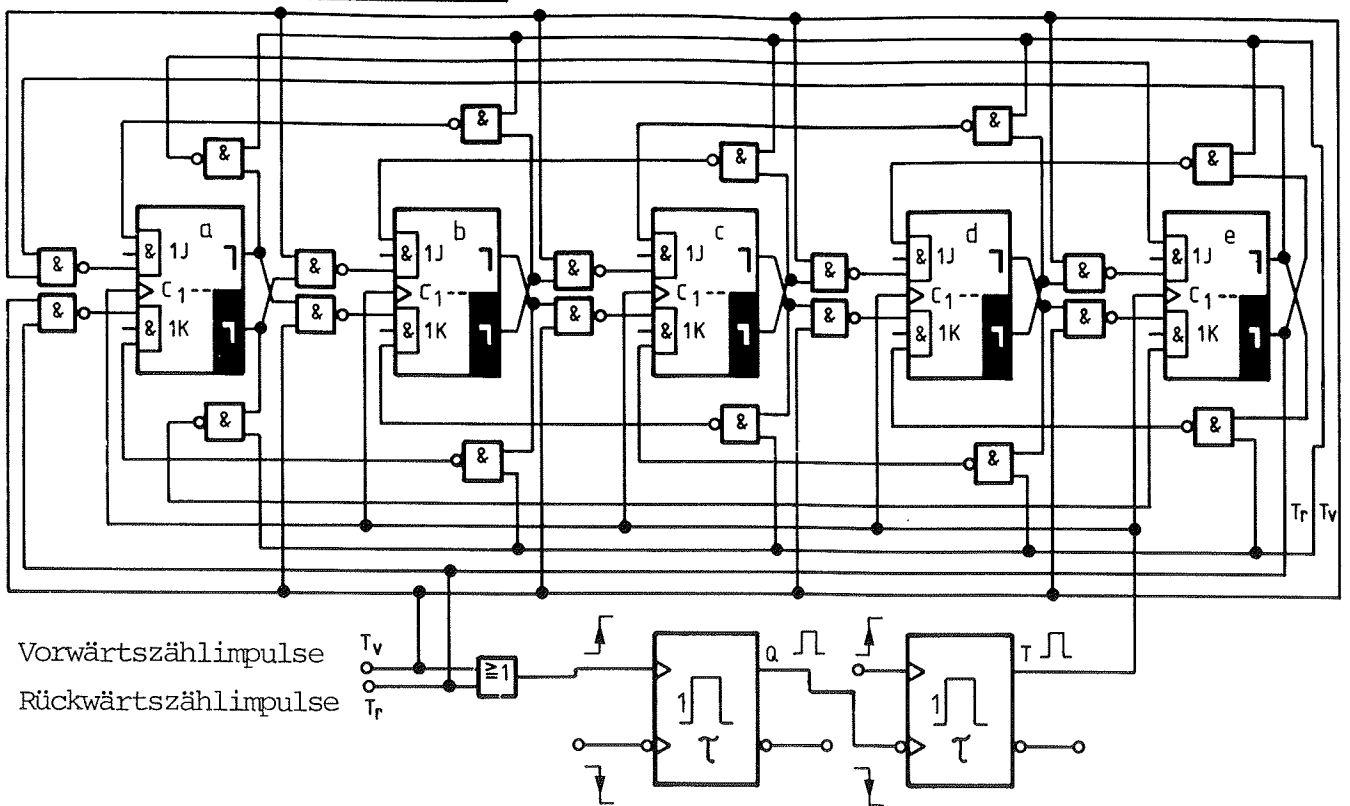
Funktionstabelle

T	a	b	c	d	e
0	0	0	0	0	0
1	0	0	0	0	1
2	0	0	0	1	1
3	0	0	1	1	1
4	0	1	1	1	1
5	1	1	1	1	1
6	1	1	1	1	0
7	1	1	1	0	0
8	1	1	0	0	0
9	1	0	0	0	0
10	0	0	0	0	0

Impulsdiagramm:3.6.3 Vor-/Rückwärtszähler (Differenzzähler) kombiniert

Durch entsprechende Gatter zwischen den Aus- und Eingängen erhält man die Möglichkeit, die Information vorwärts und rückwärts zu schieben. Dabei müssen die Vorwärtszählimpulse  $T_V$  und die Rückwärtszählimpulse  $T_R$  auf besondere Takteingänge gegeben werden. Außerdem dürfen die Impulse  $T_V$  und  $T_R$  nicht gleichzeitig auftreten.

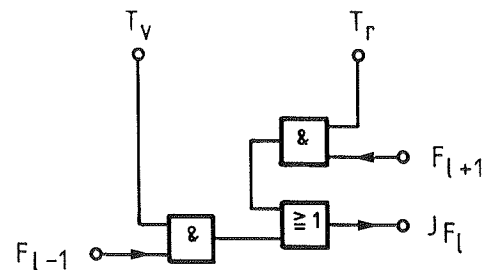
Schaltungsbeispiel:



Es sind folgende Informationsweichen benutzt worden:  $\tau \geq 1 \mu s$

Setzen Flipflop  $F_l$ :

$$l = 0 \dots 4$$



$F_{l-1}, F_l, F_{l+1}$  : Q-Ausgänge der entsprechenden Flipflops.

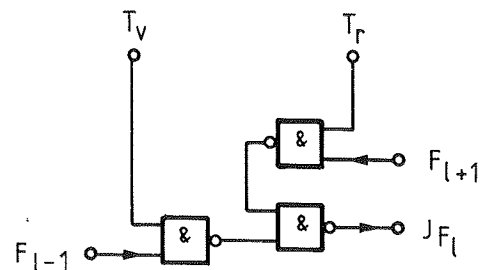
$J_{F_l}$  : J-Eingang von Flipflop  $F_l$

Gleichung:

$$J_{F_l} = F_{l-1} \cdot T_v + F_{l+1} \cdot T_r$$

NAND-Technik:

$$J_{F_l} = \overline{\overline{F_{l-1} \cdot T_v \cdot \overline{F_{l+1}} \cdot T_r}}$$



Rücksetzen Flipflop  $F_l$ :

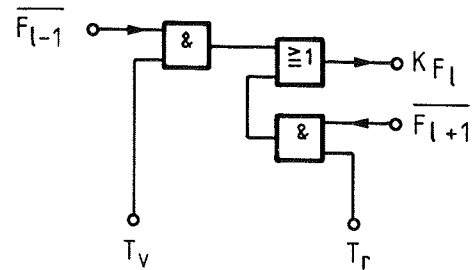
Gleichung:

$$K_{F_l} = \overline{F_{l-1}} \cdot T_V + \overline{F_{l+1}} \cdot T_R$$

$$K_{F_l} = \overline{\overline{\overline{F_{l-1}} \cdot T_V \cdot \overline{\overline{F_{l+1}} \cdot T_R}}}$$

$\overline{F_{l-1}}, \overline{F_l}, \overline{F_{l+1}}$  :  $\overline{Q}$ -Ausgänge

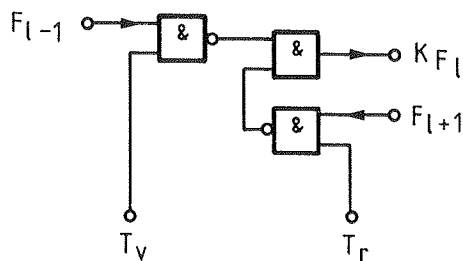
$K_{F_l}$  : K-Eingang



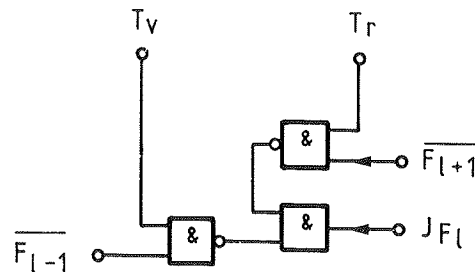
Da im hps-Digital-Gerät 5 J-K-Flipflops mit UND-Gattern vor den J- und K-Eingängen vorhanden sind, erscheint es sinnvoll, diese Gatter mit zu benutzen, da sonst die erforderliche Gatteranzahl zu groß werden würde. Für  $J_{F_l}$  und  $K_{F_l}$  werden jedoch NANDs benötigt. Weil aber ein J-Eingang von einem Q-Ausgang und ein K-Eingang von einem  $\overline{Q}$ -Ausgang angesteuert wird (beim ersten und fünften Flipflop umgekehrt), kann man anstelle des NANDs ein UND-Gatter nehmen und die Bedeutung von  $J_{F_l}$  und  $K_{F_l}$  vertauschen.

Damit erhält man:

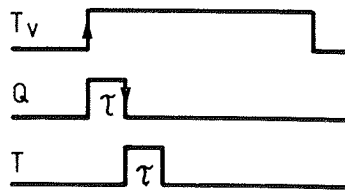
Rücksetzen:



Setzen:



Die Flipflops können nur dynamisch gesetzt werden, wenn die Belegung an den J- und K-Eingängen vor dem Taktimpuls T erfolgt. Da die Impulse  $T_V$  und  $T_R$  jedoch gleichzeitig für die Belegung und den Takt benutzt werden, muß der Takt T durch 2 Monoflops verzögert erzeugt werden.



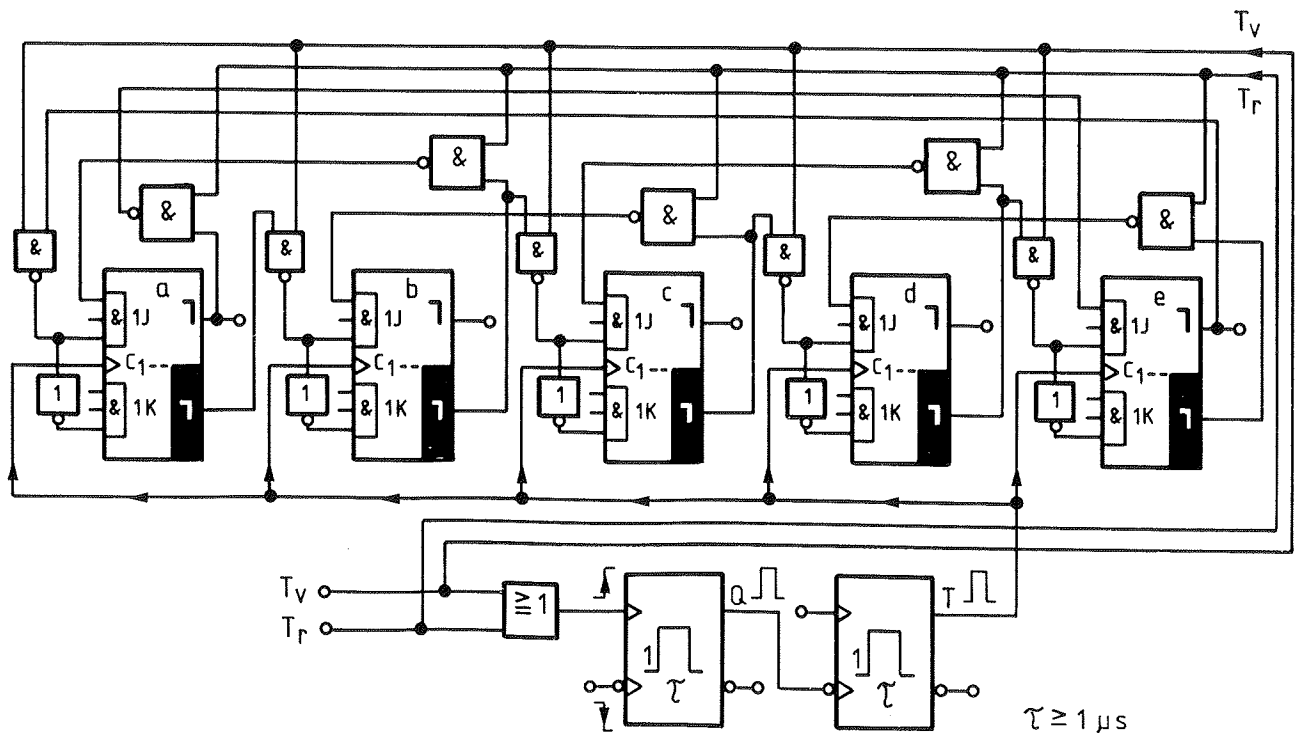
Für diesen Differenzzähler werden benötigt:  
 5 Flipflops, 20 NANDs, 1 ODER, 2 Monoflops  
 Diese etwas aufwendige Schaltung läßt sich noch mit dem Digital-Gerät realisieren und stellt eine interessante Schaltungübung dar.

Aufgabe 3 - 10:

Man vereinfache die Schaltung auf S.59 derart, daß nur Informationsweichen für die J-Eingänge der Flipflops benutzt werden und die K-Eingänge über Inverter von den J-Eingängen angesteuert werden, wie es bei dem Rechts-/Links-Schieberegister auf S.32 durchgeführt worden ist.

Lösung 3 - 10:

Vereinfachter Vor-/Rückwärts-Johnsonzähler



Aufgabe 3 - 11:

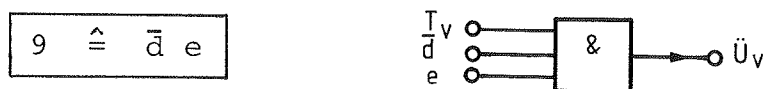
Für den Vorwärts-Johnsonzähler und Rückwärts-Johnsonzähler nach S.37 und S.40 ermittle man eine logische Verknüpfung für den Zehnerübertrag (Dekadenübertrag).

Lösung 3 - 11:

Ermittlung des Zehnerübertrags (Johnson-Zähler)

## a) Vorwärtszähler

Bedingung für den Vorwärtsübertrag  $\ddot{U}_V$  ist ein Vorwärtszählimpuls  $T_V$  und die Zählerstellung "9".



## b) Rückwärtszähler

Hierbei ist die Zählerstellung "0" und der Rückwärtszählimpuls  $T_r$  das Kriterium.

3.7 Vorwahlzähler

Vorwahlzähler geben beim Erreichen eines vorher eingestellten Zählstandes ein Signal ab, mit dem irgend etwas gesteuert werden kann. Prinzipiell können diese Zähler nach einem beliebigen Code zählen, meistens wird jedoch der dekadische 8-4-2-1-Code benutzt. Es gibt sowohl Vorwahl-Vorwärtszähler, die von Null bis zu der vorgewählten Zahl zählen, als auch Vorwahl-Rückwärtszähler, die von der vorgewählten Zahl rückwärts bis Null zählen.

Dann kann noch unterschieden werden, was beim Erreichen der vorgewählten Zahl oder Null passiert:

- 1) Beim Erreichen der Zahl wird ein Signal abgegeben, Zähler zählt jedoch weiter.
- 2) Beim Erreichen der vorgewählten Zahl wird ein Signal abgegeben, das den Zähler auf Null setzt, aber sofort wieder von neuem zählt.



3) Wie 2) bleibt jedoch bei Null stehen und muß von außen erneut gestartet werden.

Alle 3 Arten lassen sich einfach mit einer einzigen Vorwahlzähldekade realisieren.

Vorwahl-Vorwärtszähldekade (8-4-2-1-Code)

Es wird eine synchrone 8-4-2-1-Zähldekade zugrunde gelegt. Die Vorwahl erfolgt über eine einfache Verknüpfungsschaltung, die beim Erreichen der gewählten Kombination der Flipflopzustände durchschaltet, d.h., ein Signal abgibt.

a	b	c	d	vorgewählte Zahl X
0	0	0	0	0
1	0	0	0	1
0	1	0	0	2
1	1	0	0	3
0	0	1	0	4
1	0	1	0	5
0	1	1	0	6
1	1	1	0	7
0	0	0	1	8
1	0	0	1	9
0	0	0	0	0

	a	0	0	1	1
c	b	0	1	1	0
0	0	0	2	3	1
0	1	8	x	x	9
1	1	x	x	x	x
1	0	4	6	7	5

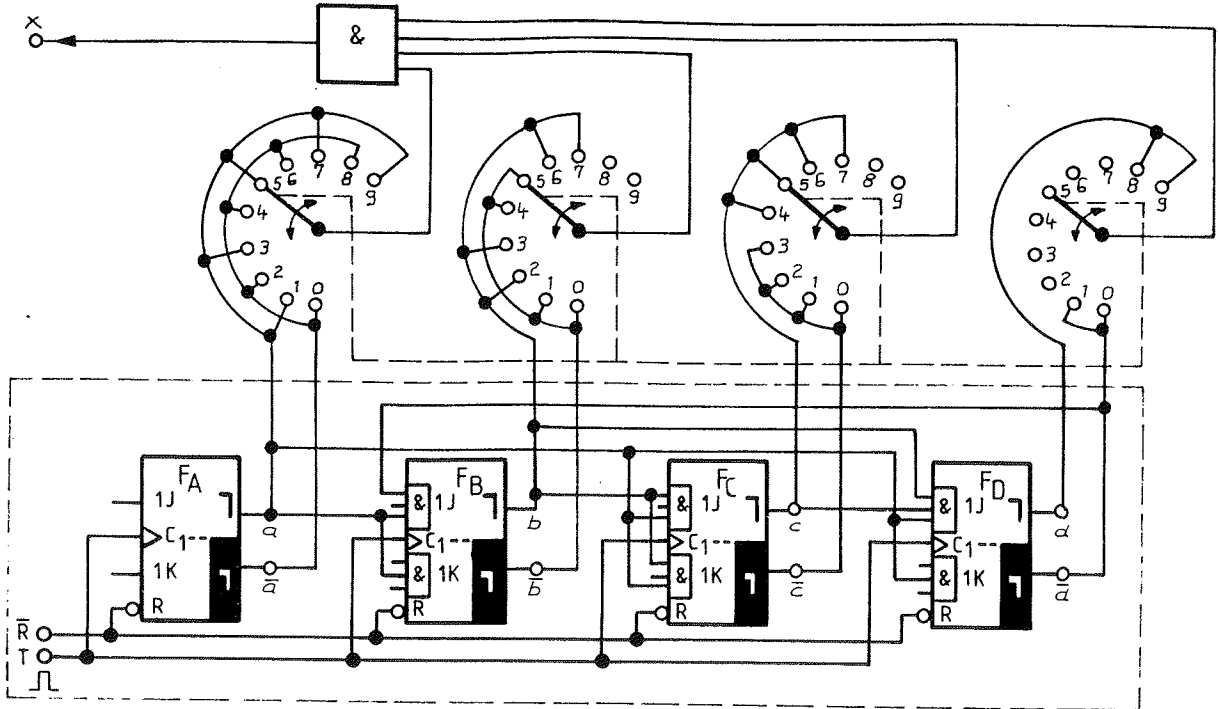
Verknüpfungen (vereinfacht)

$$\begin{aligned}
 X_0 &= \bar{a}\bar{b}\bar{c}\bar{d} ; & X_1 &= a\bar{b}\bar{c}\bar{d} ; & X_2 &= \bar{a}b\bar{c} ; & X_3 &= ab\bar{c} \\
 X_4 &= \bar{a}bc ; & X_5 &= a\bar{b}c ; & X_6 &= \bar{a}bc ; & X_7 &= abc \\
 X_8 &= \bar{a}d ; & X_9 &= ad ;
 \end{aligned}$$

Aufgabe 3 - 12:

Man realisiere die Verknüpfungsschaltung mit Hilfe eines einpoligen 4 Ebenen-Drehschalters mit 10 Schaltstellungen (0...9) und einem UND-Gatter. Die Q- und  $\bar{Q}$ -Ausgänge der Flipflops A ... D der Zähldekade stehen zur Verfügung.

Lösung 3 - 12:



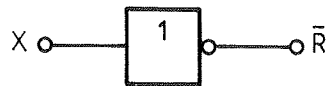
Synchrone 8-4-2-1-Vorwärtszähldekade

Der Zähler wird durch  $\bar{R} = 0$  auf 0000 zurückgestellt. Am Ausgang des UND-Gatters erscheint nur dann eine Eins, wenn das Codewort aus  $a, b, c, d$  der vorgewählten Dezimalziffer entspricht.

Die gezeichnete Schaltung entspricht Fall 1: beim Erreichen der vorgewählten Zahl wird  $X = 1$ , Zähler zählt weiter.

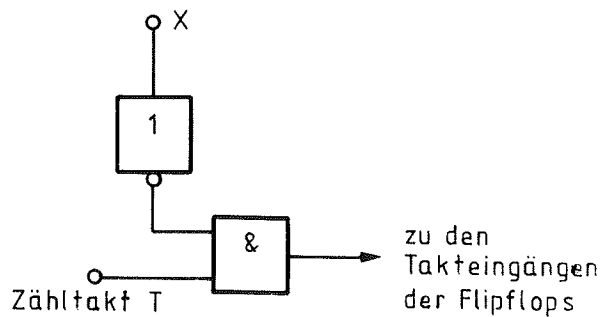
Während einer Periodendauer des Taktes bleibt  $X = 1$ .

Den Fall 2 kann man sehr einfach realisieren, wenn man  $X$  invertiert ( $\bar{X}$ ) und mit  $\bar{R}$  verbindet.



Sobald der Zähler zurückgesetzt ist, ist auch  $X = 0$ , bzw.  $\bar{X} = 1$  und die Rückstellung ist aufgehoben.

Fall 3 ist ebenfalls einfach zu erreichen: mit  $\bar{X}$  wird der Takt T blockiert.



Will man eine Vorwahl-8-4-2-1-Code-Rückwärts-Zähldekade bauen, dann müssen mittels eines codierten 4-Ebenen-Schalters die Flipflops an den statischen Setz- und Rücksetzeingängen  $\bar{S}$  und  $\bar{R}$  auf die gewünschte Vorwahlzahl gebracht werden.

### 3.8 Kombinationsablaufschaltung

Diese durch einen Takt gesteuerten sequentiellen Schaltungen sollen zyklisch bestimmte Kombinationszustände durchlaufen. Es handelt sich im Prinzip um Zähleranordnungen mit Flipflops, die nach einem beliebig gewählten Code zählen. Diese Schaltungen werden für Steueranlagen benötigt. Den gleichen Zweck würden auch z.B. Dualzähler mit entsprechendem Umcodierer erfüllen, nur ist der Aufwand größer. Diese Schaltungen können synchron oder asynchron ausgeführt werden.

#### Aufgabe 3 - 13:

Man entwerfe eine Schaltung mit den Flipflops  $F_A$ ,  $F_B$ ,  $F_C$ , die synchron folgende Zustände nacheinander durchlaufen.

a	b	c	Takt
1	1	0	1
1	1	1	2
0	0	0	3
1	0	1	4
0	0	1	5
0	1	0	6
1	1	1	7 $\hat{=} 1$

Lösung 3 - 13:

Die Realisierung erfolgt nach den gleichen Richtlinien wie bei den synchronen Zählern.

Setzbedingungen der J-K-Flipflops:

$$J_C = 1 + 3$$

$$J_b = 5$$

$$J_a = 3 + 6$$

Rücksetzbedingungen der J-K-Flipflops:

$$K_C = 2 + 5$$

$$K_b = 2$$

$$K_a = 2 + 4$$

Karnaugh-Diagramm

		$a$			
		00	01	11	10
0		3	6	7	X
c	1	5	X	2	4
		$b$			

Vereinfachung:

$$J_C = 1 + 3 = a\bar{c} + \bar{b}\bar{c} = (a + \bar{b}) \bar{c}$$

$$J_b = 5 = \bar{a}c$$

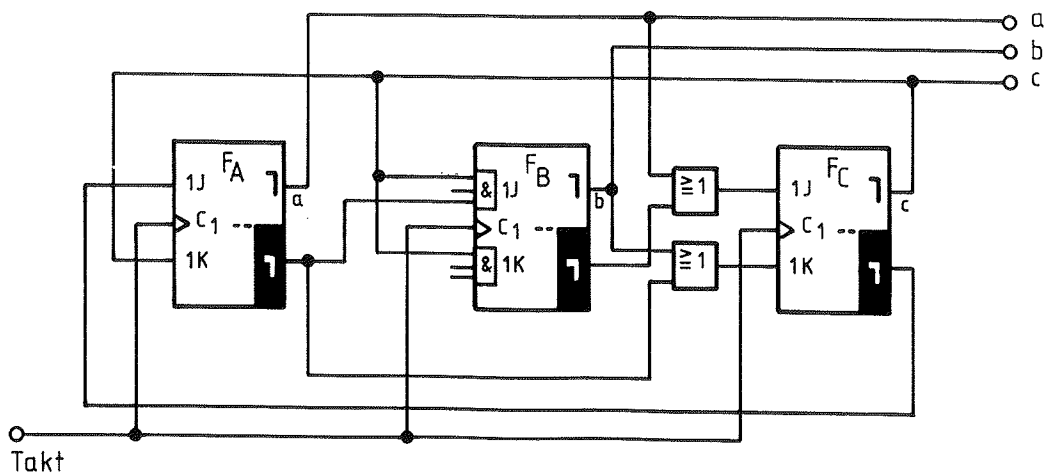
$$J_a = 3 + 6 = \bar{a}\bar{c} = \bar{c}$$

$$K_C = 2 + 5 = bc + \bar{a}c = (\bar{a} + b)c$$

$$K_b = 2 = \bar{a}c = c$$

$$K_a = 2 + 4 = \bar{a}c = c$$

Schaltung:



3.9 Synchrone Modulo-2<sup>m</sup>-Zähler

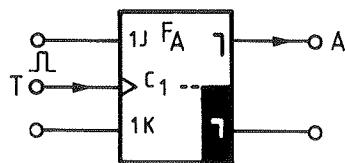
Modulo-2<sup>m</sup>-Zähler haben einen maximalen Zählerstand von 2<sup>m</sup> und beginnen dann wieder von vorne. Sie zählen im Dualcode.  
z.B.

$$\begin{array}{rcl}
 2^1 & = & 2 \\
 2^2 & = & 4 \\
 2^3 & = & 8 \\
 2^4 & = & 16 \\
 \vdots & & \vdots
 \end{array}$$

Sie lassen sich asynchron und synchron aufbauen und ergeben besonders einfache Schaltungen.

Die Auslegung erfolgt wie auf den Seiten 34 ... 38 beschrieben.

mod-2-Zähler



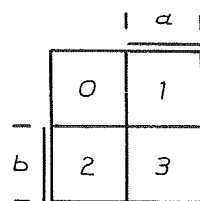
Aufgabe 3 - 14:

Man gebe die Schaltungen für einen synchronen mod-4-Vorwärts-Zähler und synchronen mod-4-Rückwärts-Zähler an.

Lösung 3 - 14:

a) Vorwärts:

a	b	T
0	0	0
1	0	1
0	1	2
1	1	3
0	0	0



Gleichungen:

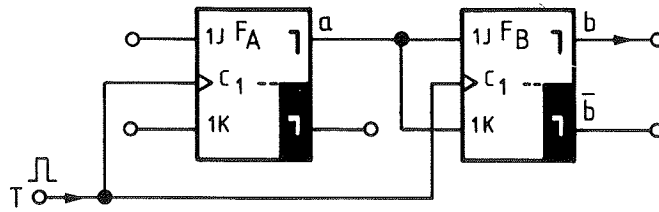
$$J_A = 0 + 2 = \bar{x} \rightarrow \boxed{J_A = 1}$$

$$K_A = 1 + 3 = \bar{x} \rightarrow \boxed{K_A = 1}$$

$$J_B = 1 = a\bar{x} \rightarrow \boxed{J_B = a}$$

$$K_B = 3 = a\bar{x} \rightarrow \boxed{K_B = a}$$

Schaltung: mod-4-Vorwärtszähler



b) Rückwärts:

a	b	Dez.-Zahl
1	1	3
0	1	2
1	0	1
0	0	0
1	1	3

a	
0	1
2	3

Gleichungen:

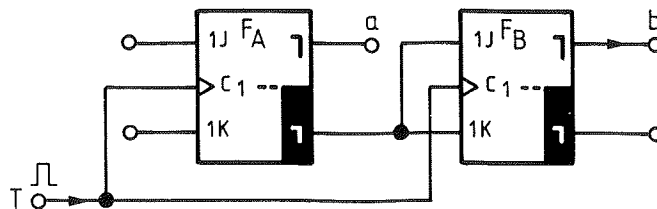
$$J_A = 2 + 0 = \bar{x} \rightarrow \boxed{J_A = 1}$$

$$K_A = 3 + 1 = \bar{x} \rightarrow \boxed{K_A = 1}$$

$$J_B = 0 = \bar{a}\bar{x} \rightarrow \boxed{J_B = \bar{a}}$$

$$K_B = 2 = \bar{a}\bar{x} \rightarrow \boxed{K_B = \bar{a}}$$

Schaltung: mod-4-Rückwärtszähler



Aufgabe 3 - 15:

Nach der Synthese von Synchronzählern entwerfe man einen synchronen mod-8-Zähler

a) vorwärts

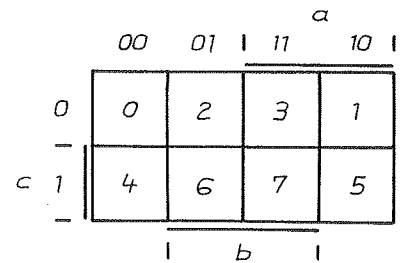
b) rückwärts

und überprüfe die Schaltung praktisch auf ihre Richtigkeit.

Lösung 3 - 15:

a) Vorwärts

a	b	c	Dez.-Zahl
0	0	0	0
1	0	0	1
0	1	0	2
1	1	0	3
0	0	1	4
1	0	1	5
0	1	1	6
1	1	1	7
-----			
0	0	0	0



Gleichungen:

$J_A = 1$

$K_A = 1$

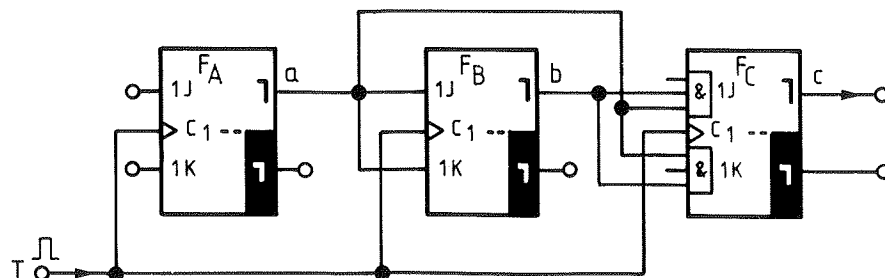
$J_B = 1 + 5 = a \cdot \bar{c} \rightarrow J_B = a$

$K_B = 3 + 7 = a \cdot \bar{c} \rightarrow K_B = a$

$J_C = 3 = ab\bar{c} \rightarrow J_C = ab$

$K_C = 7 = ab\bar{c} \rightarrow K_C = ab$

Schaltung: synchroner mod-8-Vorwärtszähler

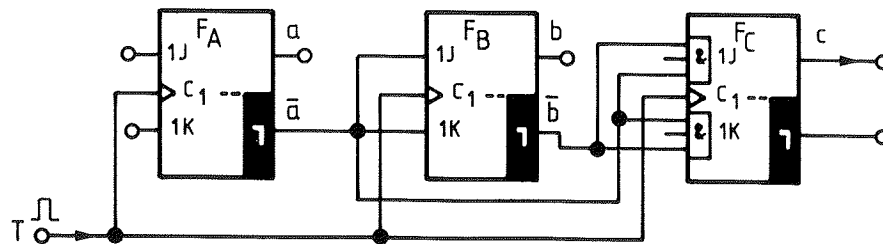


b) Rückwärts

a	b	c	Dez.-Zahl
1	1	1	7
0	1	1	6
1	0	1	5
0	0	1	4
1	1	0	3
0	1	0	2
1	0	0	1
0	0	0	0
<hr style="border-top: 1px dashed black;"/>			
1	1	1	7

Gleichungen:

$$\begin{array}{l}
 \boxed{J_A = 1} \qquad \qquad \qquad \boxed{K_A = 1} \\
 J_B = 4 + 0 = \cancel{a\bar{a}} \rightarrow \boxed{J_B = \bar{a}} \\
 K_B = 6 + 2 = \cancel{a\bar{a}} \rightarrow \boxed{K_B = \bar{a}} \\
 J_C = 0 = \cancel{a\bar{b}\bar{c}} \rightarrow \boxed{J_C = \bar{a}\bar{b}} \\
 K_C = 4 = \cancel{a\bar{b}\bar{c}} \rightarrow \boxed{K_C = \bar{a}\bar{b}}
 \end{array}$$

Schaltung synchroner mod-8-RückwärtszählerAufgabe 3 - 16:

Anhand der Lösungen 4 - 6, 4 - 7, 4 - 8 gebe man ein allgemeines Schema für die Belegung der J- und K-Eingänge synchroner mod- $2^m$ -Zähler an und entwickle damit einen mod- $2^6$ -Vor-/Rückwärtszähler.



Lösung 3 - 16:

Zähler	vorwärts				rückwärts			
	$J_A=K_A$	$J_B=K_B$	$J_C=K_C$	$J_D=K_D$	$J_A=K_A$	$J_B=K_B$	$J_C=K_C$	$J_D=K_D$
mod-2 <sup>1</sup>	1	a	ab	abc	1	$\bar{a}$	$\bar{a}\bar{b}$	$\bar{a}\bar{b}\bar{c}$
mod-2 <sup>2</sup>	1	a	ab	abc	1	$\bar{a}$	$\bar{a}\bar{b}$	$\bar{a}\bar{b}\bar{c}$
mod-2 <sup>3</sup>	1	a	ab	abc	1	$\bar{a}$	$\bar{a}\bar{b}$	$\bar{a}\bar{b}\bar{c}$
mod-2 <sup>4</sup>	1	a	ab	abc	1	$\bar{a}$	$\bar{a}\bar{b}$	$\bar{a}\bar{b}\bar{c}$

usw.

Synchroner mod-2<sup>6</sup>-Zähler:

$$2^6 = 64$$

Es werden 6 Flipflops benötigt.

vorwärts:

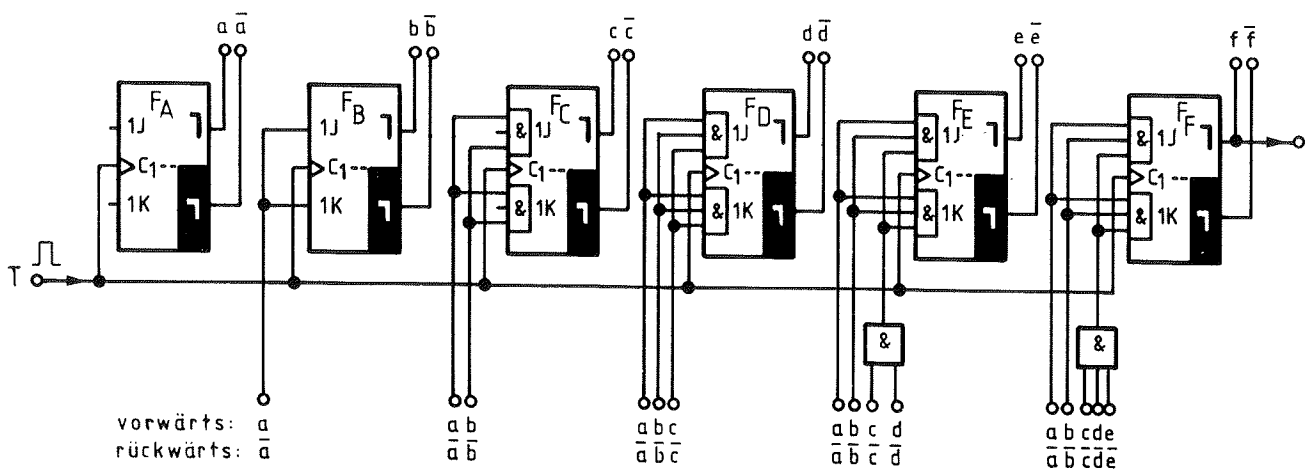
$$J_A = K_A = 1; J_B = K_B = a; J_C = K_C = ab; J_D = K_D = abc;$$

$$J_E = K_E = abcd; J_D = K_D = abcde$$

rückwärts:

$$J_A = K_A = 1; J_B = K_B = \bar{a}; J_C = K_C = \bar{a}\bar{b}; J_D = K_D = \bar{a}\bar{b}\bar{c};$$

$$J_E = K_E = \bar{a}\bar{b}\bar{c}\bar{d}; J_D = K_D = \bar{a}\bar{b}\bar{c}\bar{d}\bar{e}$$



### 3.10 Synchrone Modulo-n-Zähler

Diese Zähler zählen im Dualcode direkt bis  $n$  und beginnen dann mit der Zählung von neuem. Sie haben also keine Dekadenstruktur. Die Anzahl  $m$  der benötigten Flipflops beträgt:

$$m \geq \text{ld}(n); \quad \text{ld}(n) = \text{Logarithmus von } n \text{ zur Basis } 2$$

$$\text{oder } 2^m \geq n$$

Die Redundanz  $r$  beträgt also:

$$r = m - \text{ld}(n)$$

Der Entwurf dieser Zähler erfolgt nach dem gleichen Schema wie bei den synchronen Zähldekaden.

#### 3.10.1 Entwurf eines synchronen Modulo-5-Zählers

$$n = 5 \rightarrow m = 3 \text{ Flipflops}$$

3 nichtausgenützte Kombinationen ( $5 \div 7$ )

a	b	c	Dez.-Zahl	Lageplan
0	0	0	0	$  \begin{array}{c}  \begin{array}{cccc}  & & & a \\  & 00 & 01 & 11 & 10 \\  0 & \boxed{0} & \boxed{2} & \boxed{3} & \boxed{1} \\  - & - & - & - & - \\  c & 1 & \boxed{x} & \boxed{x} & \boxed{x} \\  - & - & - & - & - \\  & & b & &   \end{array}  \end{array}  $
1	0	0	1	
0	1	0	2	
1	1	0	3	
0	0	1	4	
-----			-----	
0	0	0	0	

Gleichungen:

$$J_A = 0 + 2 = \cancel{x} \bar{c} \rightarrow \boxed{J_A = \bar{c}}$$

$$K_A = 1 + 3 = \cancel{x} \rightarrow \boxed{K_A = 1}$$

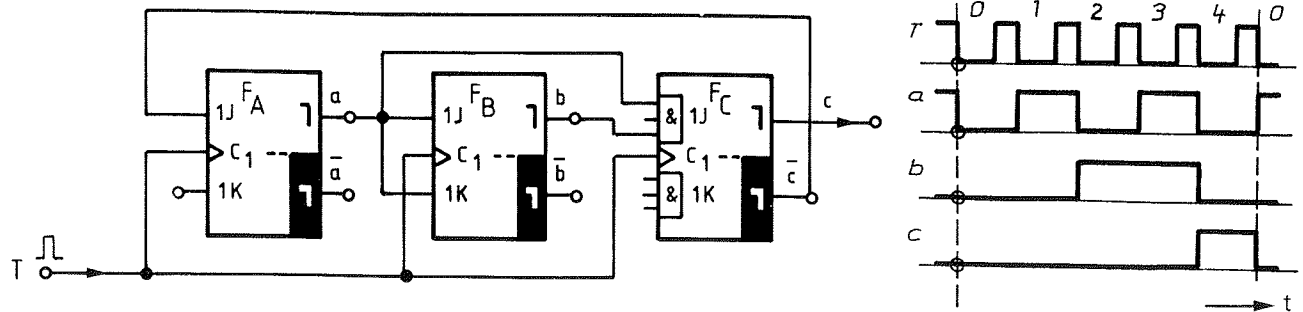
$$J_B = 1 = a \bar{x} \rightarrow \boxed{J_B = a}$$

$$K_B = 3 = a \bar{x} \rightarrow \boxed{K_B = a}$$

$$J_C = 3 = ab \rightarrow \boxed{J_C = ab}$$

$$K_C = 4 = \cancel{x} \rightarrow \boxed{K_C = 1}$$

Schaltung:



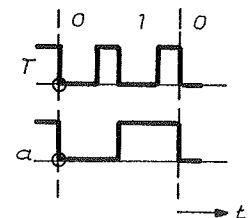
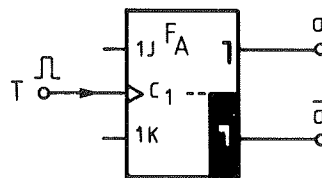
3.10.2 Aufgaben

Aufgabe 3 - 17:

Entwurf eines synchr. mod-2-Zählers

Lösung 3 - 17:

$2 = 2^1; \underline{J_A = K_A = 1}$



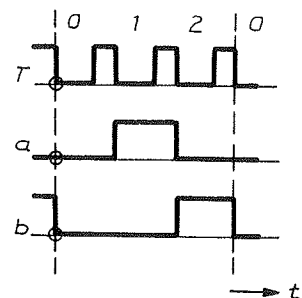
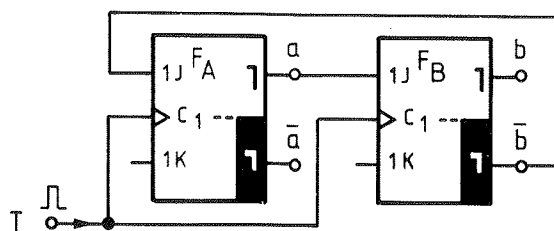
synchr. mod-2-Zähler

Aufgabe 3 - 18:

Entwurf eines synchr. mod-3-Zählers

Lösung 3 - 18:

- $J_A = \bar{b}$
- $K_A = 1$
- $J_B = a$
- $K_B = 1$



Aufgabe 3 - 19:

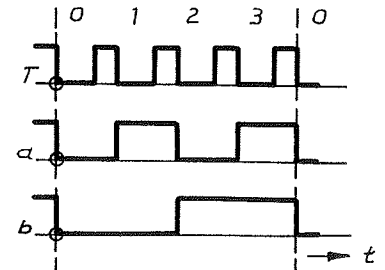
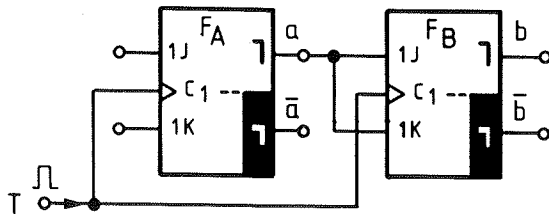
Entwurf eines synchr. mod-4-Vor-/Rückwärts-Zählers

Lösung 3 - 19:

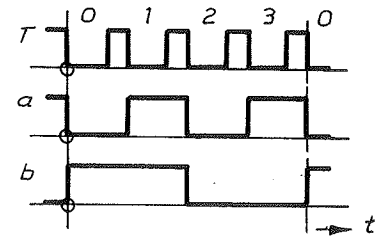
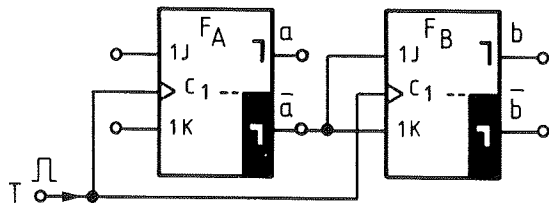
$4 = 2^2 \rightarrow$  siehe S.67; 68

Vorwärts:		Rückwärts:	
$J_A = 1$	$J_B = a$	$J_A = 1$	$J_B = \bar{a}$
$K_A = 1$	$K_B = a$	$K_A = 1$	$K_B = \bar{a}$

a) vorwärts



b) rückwärts



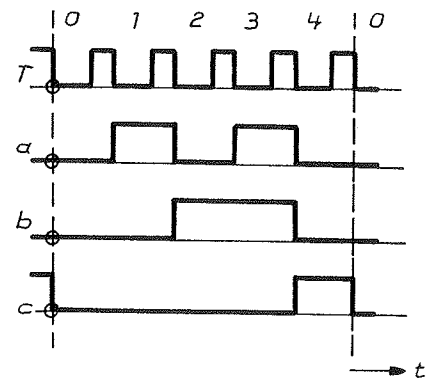
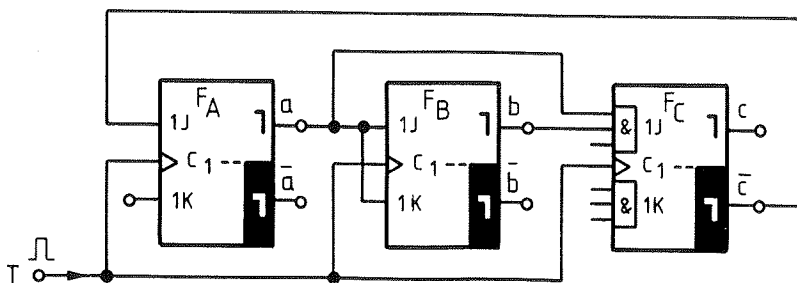
synchron. mod-4-Zähler

Aufgabe 3 - 20:

Entwurf eines synchron. mod-5-Zählers

Lösung 3 - 20: (siehe S.72)

$J_A = \bar{c}$	$J_B = a$	$J_C = ab$
$K_A = 1$	$K_B = a$	$K_C = 1$



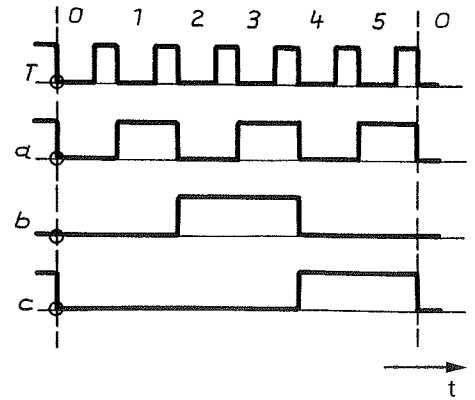
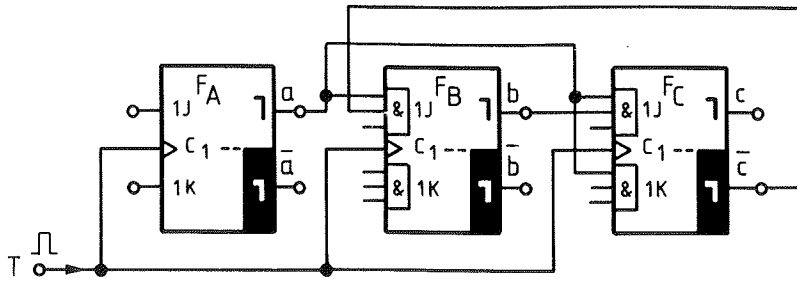
synchron. mod-5-Zähler

Aufgabe 3 - 21:

Entwurf eines synchr. mod-6-Zählers

Lösung 3 - 21:

$J_A = 1$	$J_B = a\bar{c}$	$J_C = ab$
$K_A = 1$	$K_B = 1$	$K_C = a$



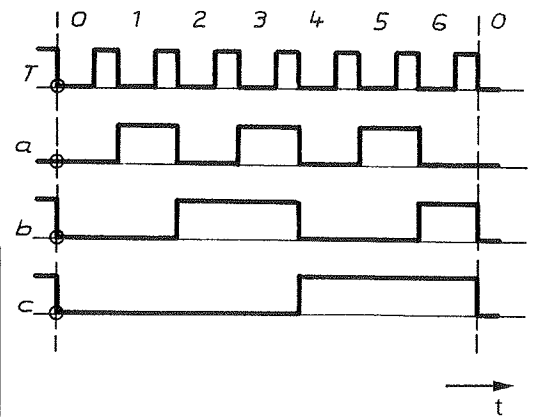
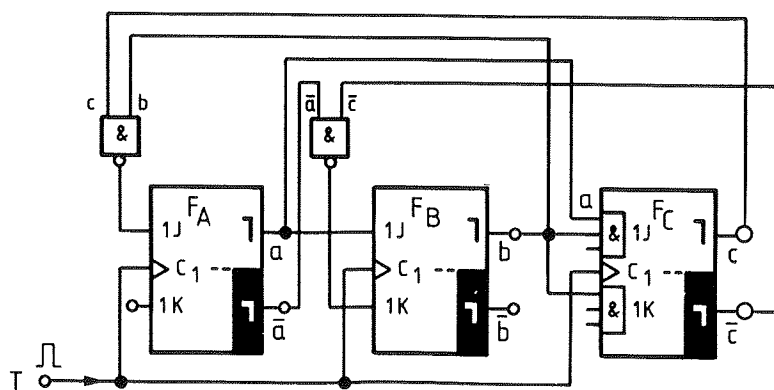
synchr. mod-6-Zähler

Aufgabe 3 - 22:

Entwurf eines synchr. mod-7-Zählers

Lösung 3 - 22:

$J_A = \bar{b}\bar{c}$	$J_B = a$	$J_C = ab$
$K_A = 1$	$K_B = \bar{a}\bar{c}$	$K_C = b$



synchr. mod-7-Zähler

Aufgabe 3 - 23:

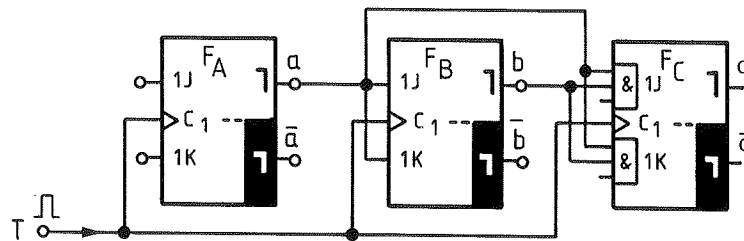
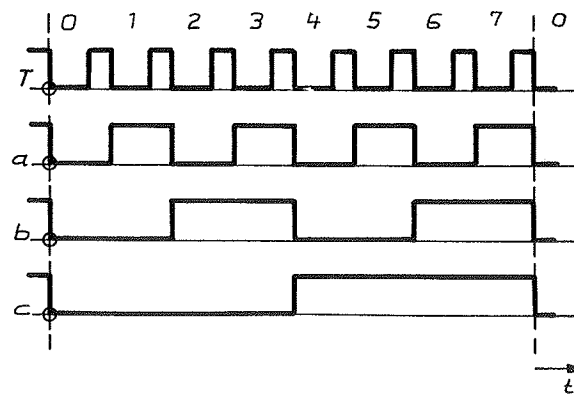
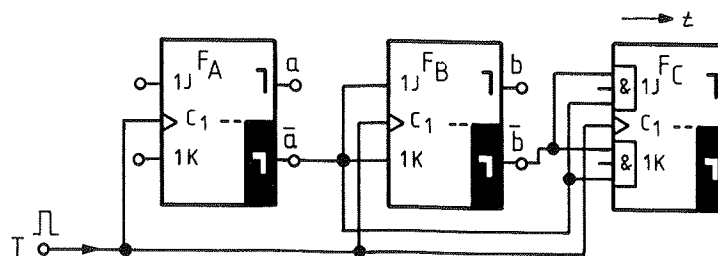
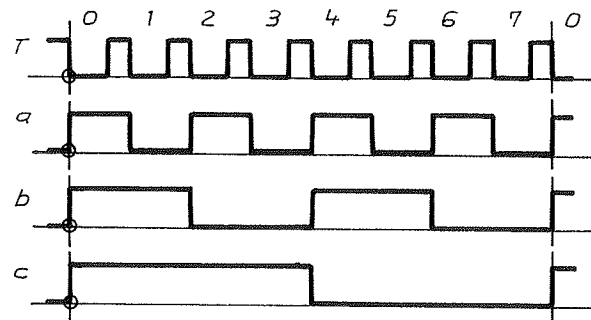
Entwurf eines synchr. mod-8-Vor-/Rückwärts-Zählers

Lösung 3 - 23:8 =  $2^3$  → S. 70 und S. 71

Vorwärts

Rückwärts

$J_A = 1$	$J_B = a$	$J_C = ab$	$J_A = 1$	$J_B = \bar{a}$	$J_C = \bar{a}\bar{b}$
$K_A = 1$	$K_B = a$	$K_C = ab$	$K_A = 1$	$K_B = \bar{a}$	$K_C = \bar{a}\bar{b}$

a) Vorwärtsb) Rückwärts

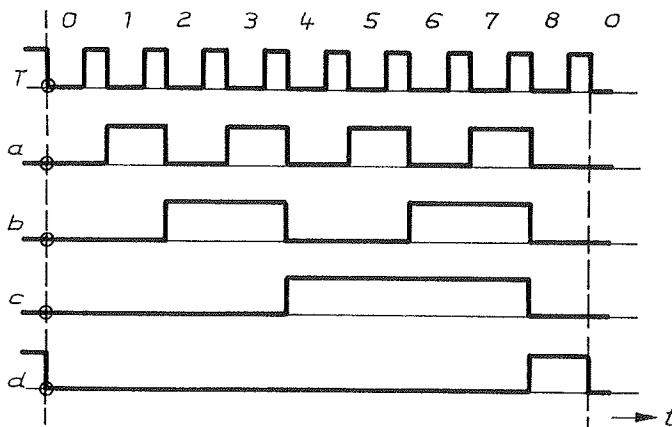
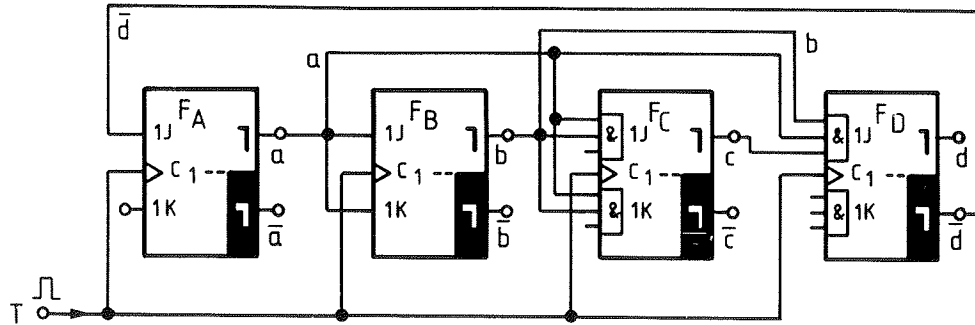
synchr. mod-8-Zähler

Aufgabe 3 - 24:

Entwurf eines synchr. mod-9-Zählers

Lösung 3 - 24:

$J_A = \bar{d}$	$J_B = a$	$J_C = ab$	$J_D = abc$
$K_A = 1$	$K_B = a$	$K_C = ab$	$K_D = 1$



synchr. mod-9-Zähler

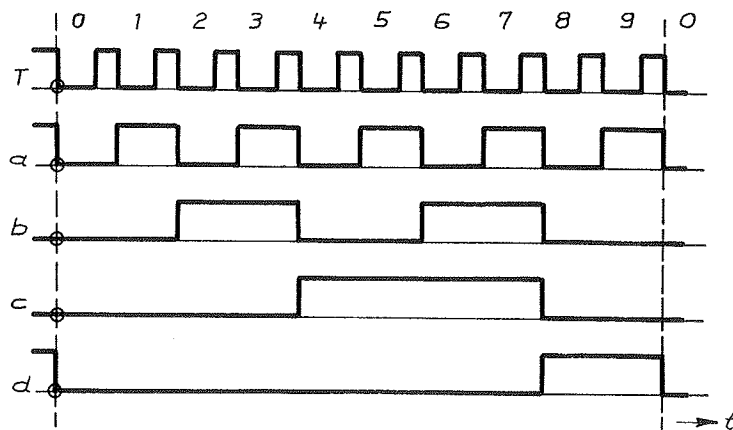
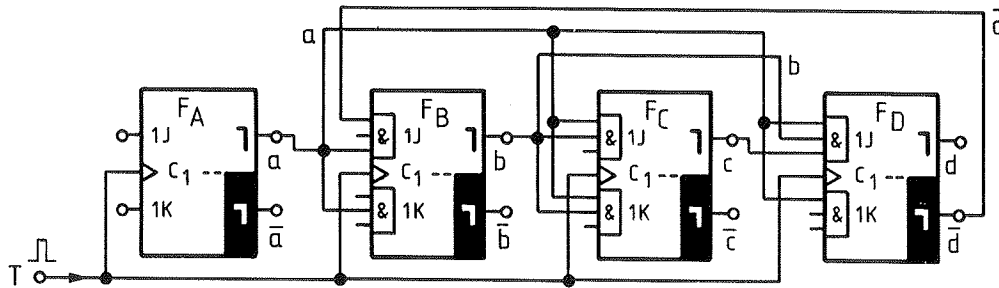
Aufgabe 3 - 25:Entwurf eines synchr. mod-10-ZählersLösung 3 - 25:Synchr. mod-10-Zähler  $\hat{=}$  synchr. 8-4-2-1-Code-Vorwärts-Zähldekade (S.37)

$$J_A = 1 \quad J_B = a\bar{d}$$

$$K_A = 1 \quad K_B = a$$

$$J_C = ab \quad J_D = ab$$

$$K_C = ab \quad K_D = a$$

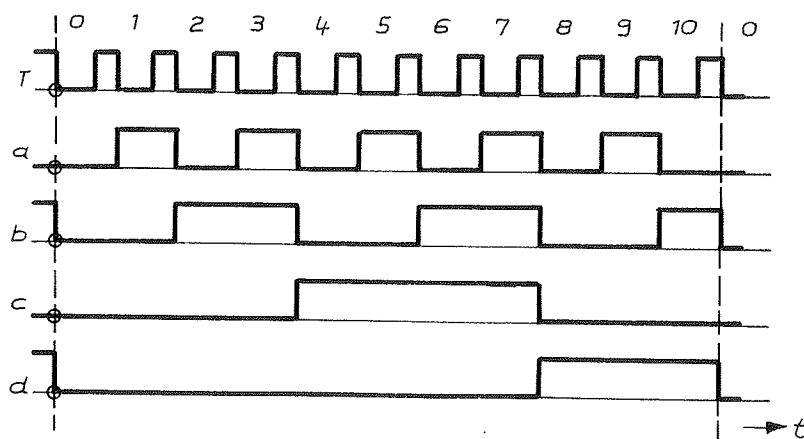
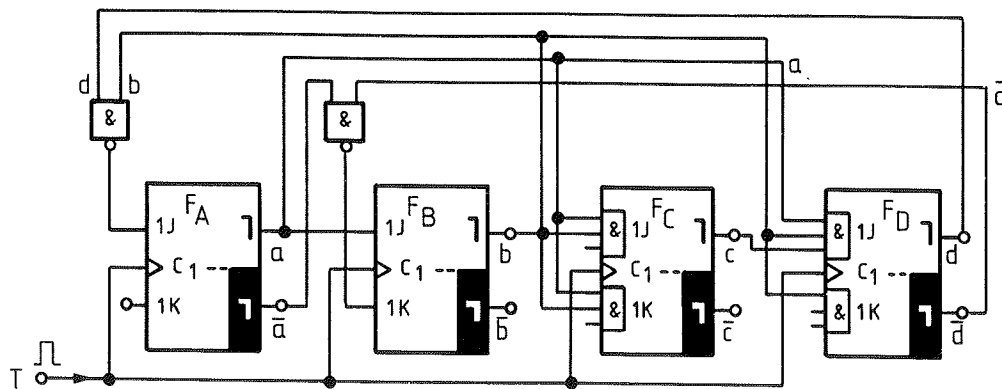


synchr. mod-10-Zähler



Aufgabe 3 - 26:Entwurf eines synchr. mod-11-ZählersLösung 3 - 26:

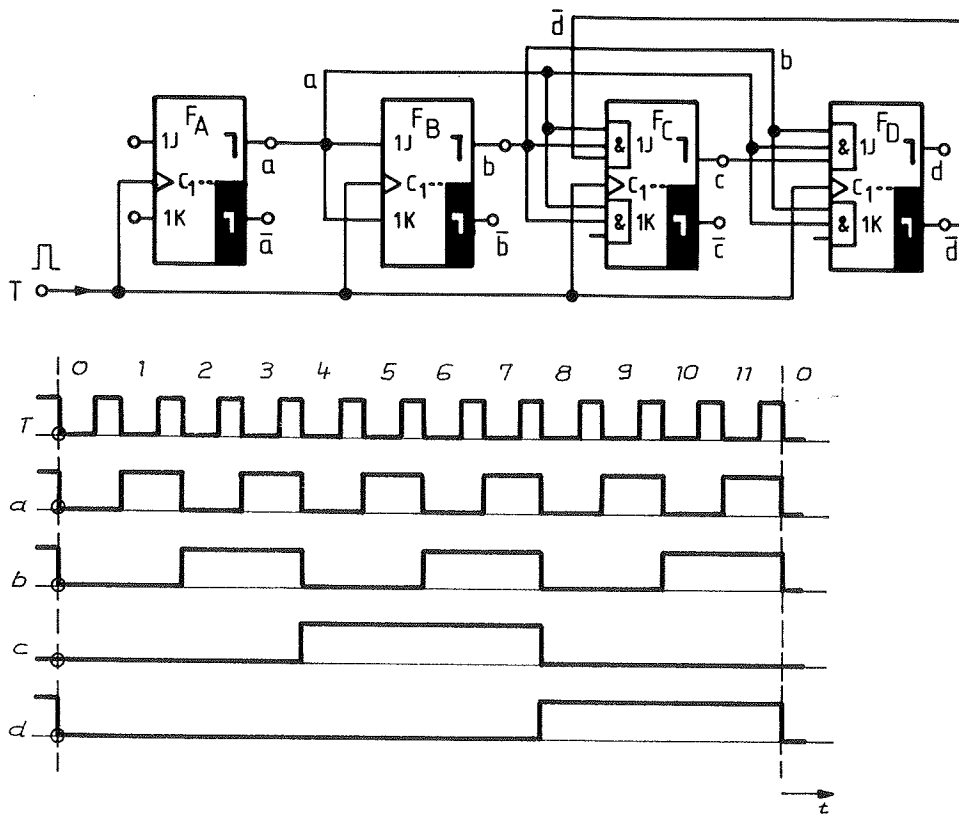
$J_A = \overline{bd}$	$J_B = a$	$J_C = ab$	$J_D = abc$
$K_A = 1$	$K_B = \overline{ad}$	$K_C = ab$	$K_D = b$



synchr. mod-11-Zähler

Aufgabe 3 - 27:Entwurf eines synchr. mod-12-ZählersLösung 3 - 27:

$J_A = 1$	$J_B = a$	$J_C = ab\bar{d}$	$J_D = abc$
$K_A = 1$	$K_B = a$	$K_C = ab$	$K_D = ab$



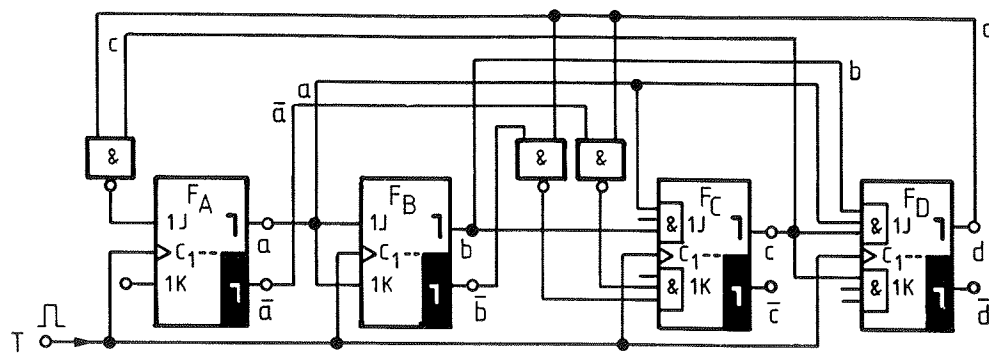
synchr. mod-12-Zähler

Aufgabe 3 - 28:

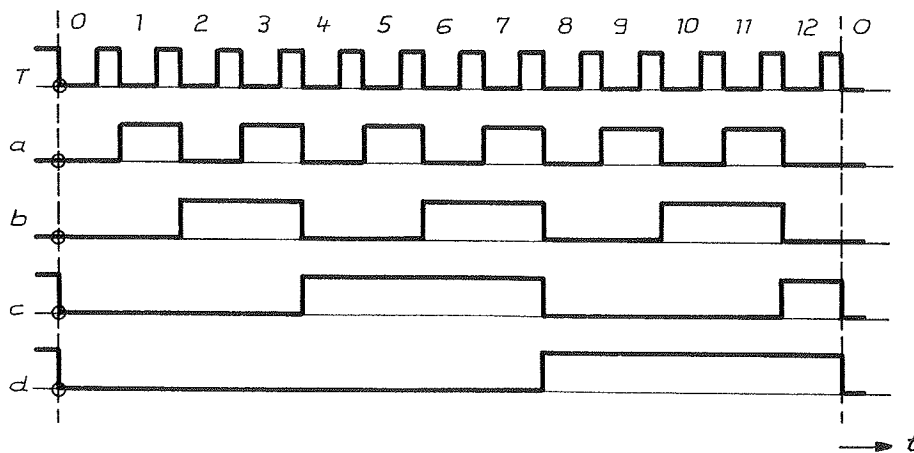
Entwurf eines synchr. mod-13-Zählers

Lösung 3 - 28:

$J_A = \overline{cd}$	$J_B = a$	$J_C = ab$	$J_D = abc$
$K_A = 1$	$K_B = a$	$K_C = \overline{ad} \cdot \overline{bd}$	$K_D = c$

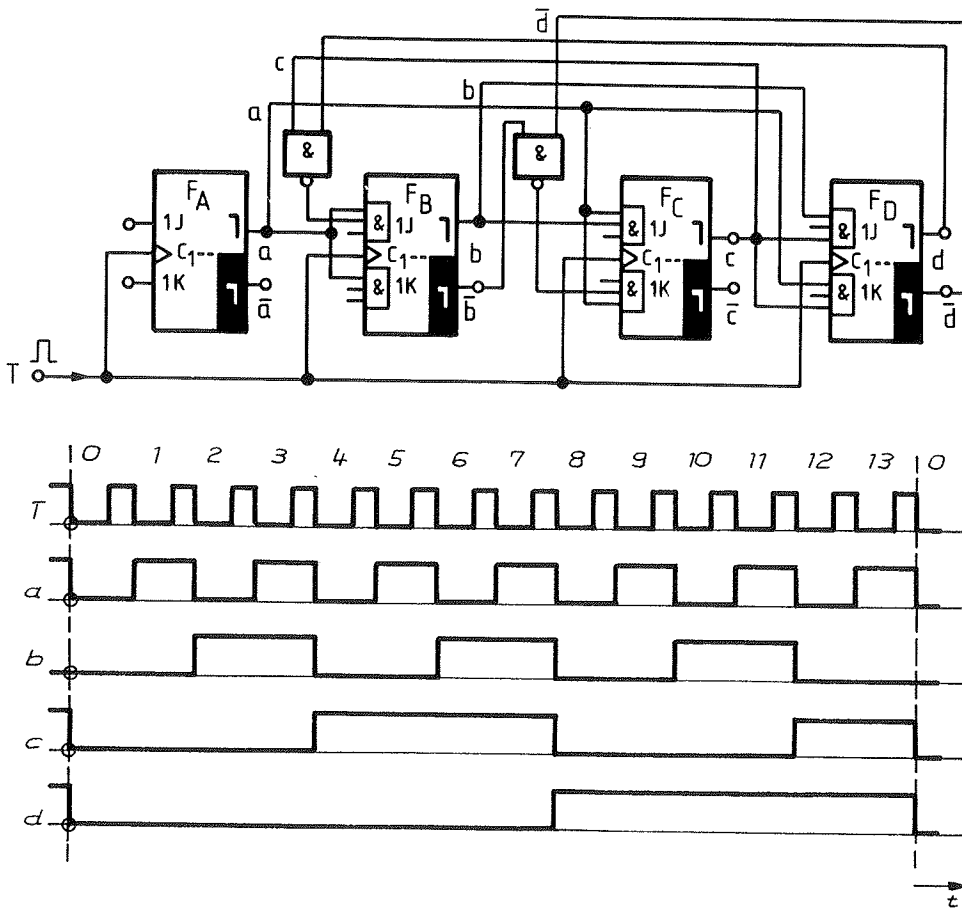


synchr. mod-13-Zähler



Aufgabe 3 - 29:Entwurf eines synchr. mod-14-ZählersLösung 3 - 29:

$J_A = 1$	$J_B = a \cdot \overline{cd}$	$J_C = ab$	$J_D = bc$
$K_A = 1$	$K_B = a$	$K_C = a \cdot \overline{bd}$	$K_D = ac$



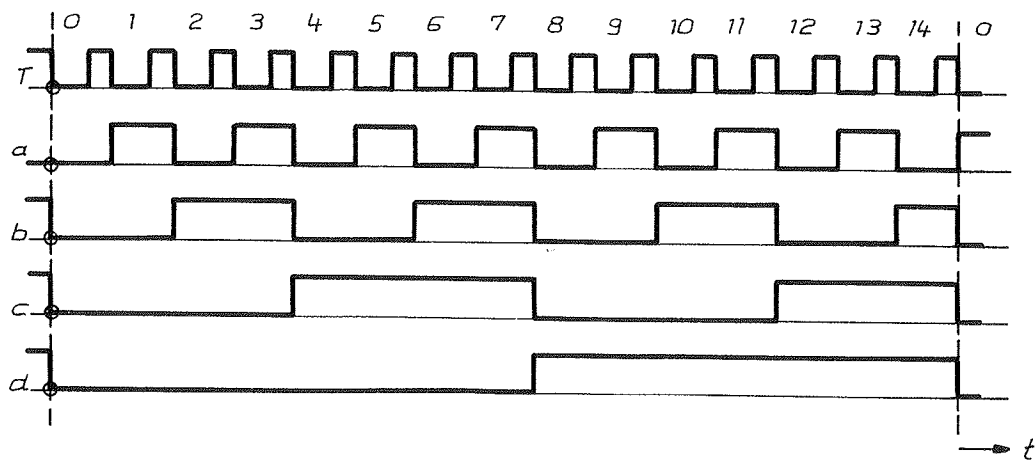
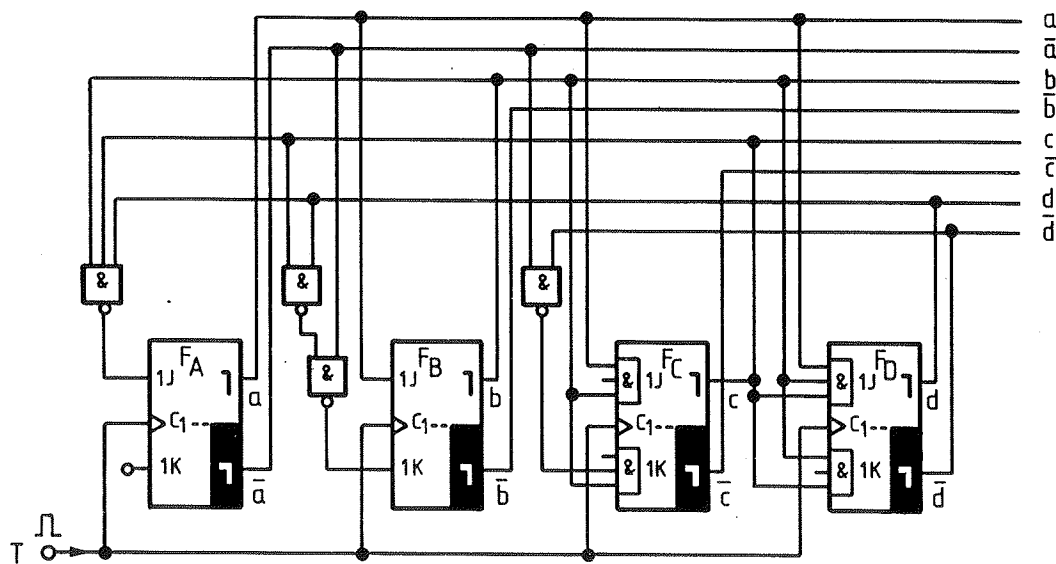
synchr. mod-14-Zähler

Aufgabe 3 - 30:

Entwurf eines synchr. mod-15-Zählers

Lösung 3 - 30:

$J_A = \overline{bcd}$	$J_B = a$	$J_C = ab$	$J_D = abc$
$K_A = 1$	$K_B = \overline{a} \cdot \overline{cd}$	$K_C = \overline{ad} \cdot b$	$K_D = bc$



synchr. mod-15-Zähler

Aufgabe 3 - 31:

Entwurf eines synchronen mod-16-Vor-/Rückwärts-Zählers

Lösung 3 - 31:

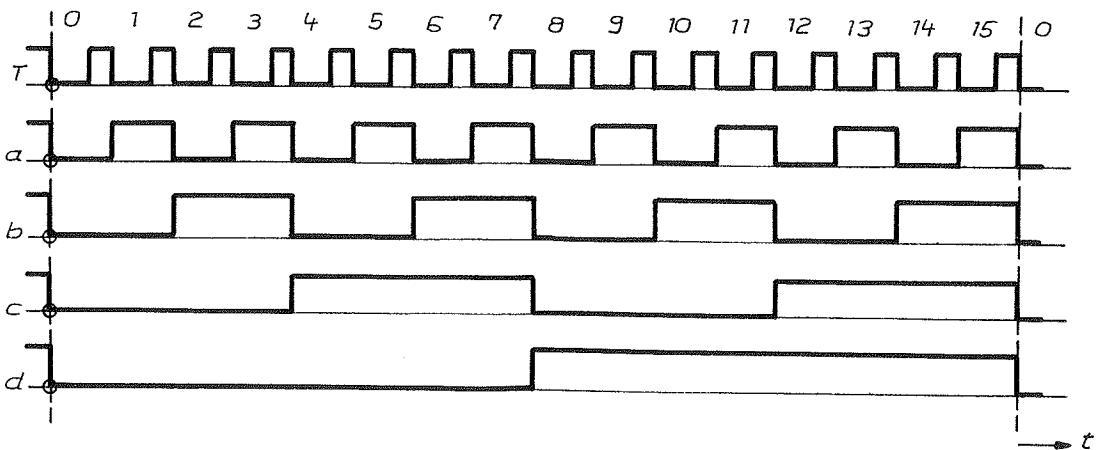
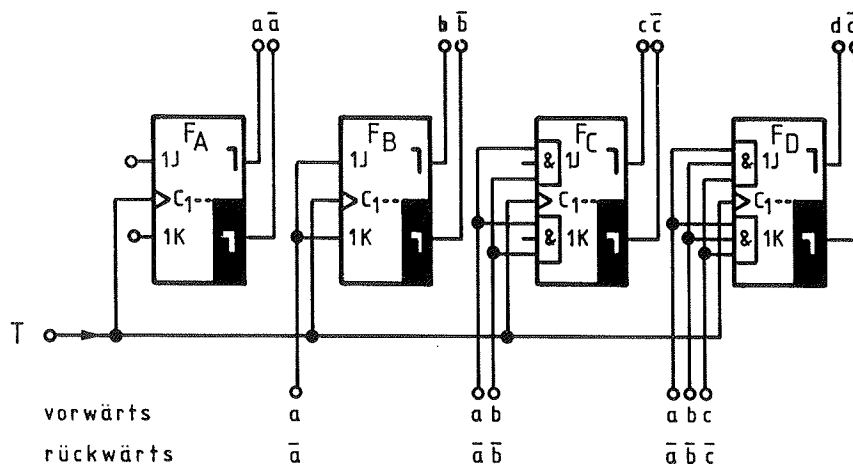
$16 = 2^4 \rightarrow S.71$

a) Vorwärts

$J_A = 1$	$J_B = a$	$J_C = ab$	$J_D = abc$
$K_A = 1$	$K_B = a$	$K_C = ab$	$K_D = abc$

b) Rückwärts

$J_A = 1$	$J_B = \bar{a}$	$J_C = \bar{a}\bar{b}$	$J_D = \bar{a}\bar{b}\bar{c}$
$K_A = 1$	$K_B = \bar{a}$	$K_C = \bar{a}\bar{b}$	$K_D = \bar{a}\bar{b}\bar{c}$



synchr. mod-16-Zähler

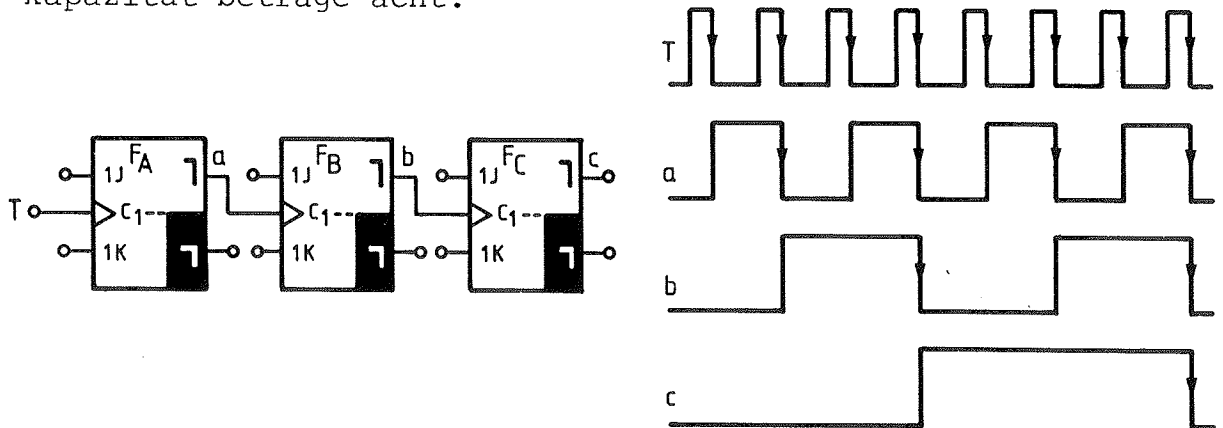
4. ASYNCHRONE ZÄHLER

4.1 Allgemeines

Asynchrone Zähler werden nicht zentral gleichzeitig von einer gemeinsamen Taktleitung angesteuert.

Bei einem asynchronen Zähler wird in der Regel nur das erste Flipflop vom zählenden Takt geschaltet, während alle übrigen Flipflops von der Flanke eines vorhergehenden Flipflops getaktet werden.

Es sollen im folgenden Flipflops verwendet werden, die während der fallenden (negativen) Taktflanke, auch aktive Flanke genannt, schalten. Der zeitliche Ablauf soll an einem rein asynchronen Zähler im Dualcode betrachtet werden. Die Zählkapazität betrage acht.



Asynchron-Zähler im Dualcode haben also einen sehr einfachen Aufbau. Das nachfolgende Flipflop wird von der aktiven Flanke des vorhergehenden Flipflops geschaltet.

Soll der Asynchron-Zähler nach einem anderen Code zählen, so muß man überlegen, welches Flipflop bei der gewünschten Umschaltung des betrachteten Flipflops die aktive Flanke liefert. Da jedoch eine Umschaltung nur bei bestimmten Zeiten erfolgen soll, müssen die J- und K-Eingänge entsprechend vorbereitet werden.

4.2 Zähldekaden

Asynchrone 8-4-2-1-Vorwärts-Zähldekade

Es werden wie bei der synchronen 8-4-2-1-Vorwärts-Zähldekade 4 Flipflops  $F_A, F_B, F_C, F_D$  benötigt.

Funktionstabelle:

a	b	c	d	Zähl- takt
0	0	0	0	0
1	0	0	0	1
0	1	0	0	2
1	1	0	0	3
0	0	1	0	4
1	0	1	0	5
0	1	1	0	6
1	1	1	0	7
0	0	0	1	8
1	0	0	1	9
0	1	0	1	10
0	0	0	0	0

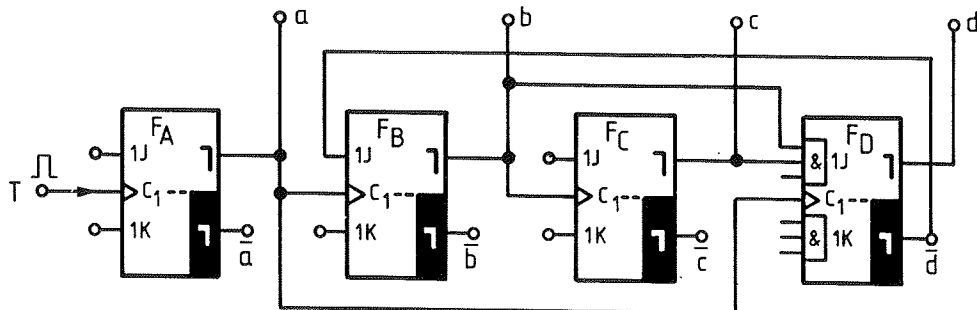
tritt nicht auf

Lageplan der Dezimalziffern im Karnaugh-Diagramm

	a				
	b	0	0	1	1
c	d	0	1	1	0
0	0	0	2	3	1
0	1	8	x	x	9
1	1	x	x	x	x
1	0	4	6	7	5

Man erkennt sofort, daß bis Takt 9 sich der Zähler wie ein asynchroner Dualzähler verhält. Flipflop B wird von der aktiven Flanke von Flipflop A geschaltet,  $F_C$  von  $F_B$ . Flipflop D kann zwar von der aktiven Flanke von c gesetzt werden, müßte dann jedoch von der aktiven Flanke a beim Übergang von 9 nach 0 zurückgesetzt werden, weil c sich nicht ändert, also kann zur Umschaltung nur  $F_A$  verwendet werden. Weiter sieht man, daß gegenüber einem Dualzähler das Setzen von Flipflop B beim Übergang von 9 nach 0 verhindert werden muß und Flipflop D zurückgesetzt werden muß.

Schaltung asynchrone 8-4-2-1-Vorwärts-Zähldekade





Die Impulsdiagramme sind wie beim synchronen 8-4-2-1-Vorwärts-Zähler (S.37).

Durch die Belegung  $J_B = \bar{d}$  kann Flipflop B ab dem 8. Takt nicht mehr gesetzt werden. Da d durch die aktive Flanke von a geschaltet wird, aber nur eine Umschaltung nach Takt 7 und 9 erwünscht ist, muß durch die Belegung  $J_D = b \cdot c$  alle vorherigen möglichen Umschaltungen blockiert werden. Der Entwurf der Schaltung im Karnaugh-Diagramm ist ähnlich wie bei asynchronen Zählern. Es muß jedoch überlegt werden, welches Flipflop von welcher aktiven Flanke geschaltet werden soll. (Die hier verwendeten Flipflops können nur am Takteingang flankengetriggert werden, nicht an den J- und K-Eingängen. Deshalb kann eine Umschaltung nur von einer Flanke erfolgen, was den Entwurf erschwert).

#### 4.2.1 Schaltungssynthese asynchroner Zähler am Beispiel der 8-4-2-1-Vorwärts-Zähldekade

In den Karnaugh-Diagrammen der einzelnen Flipflops treten zusätzlich zu den bereits vorhandenen don't-care-Feldern durch den Code weitere frei verfügbare Felder auf. Das sind alle diejenigen Felder, bei deren Kombinationen keine aktive Flanke des ansteuernden Taktflipflops vorliegt, weil hier keine Umschaltung erfolgen kann.

Flipflop A : getaktet durch Takt T selber

Flipflop B : getaktet von a, zusätzliche don't-care-Felder bei 0, 2, 4, 6, 8

Flipflop C : getaktet von b, zusätzliche don't-care-Felder bei 0, 1, 2, 4, 5, 6, 8, 9

Flipflop D : getaktet von a, zusätzliche don't-care-Felder bei 0, 2, 4, 6, 8

Die zusätzlichen don't-care-Felder sind mit + gekennzeichnet.

Setz- und Rücksetzgleichungen:

$J_A = 0 + 2 + 4 + 6 + 8$

$K_A = 1 + 3 + 5 + 7 + 9$

$J_A = \bar{x}$

$J_A = 1$

$K_A = \bar{x}$

$K_A = 1$

$J_B = 1 + 5$

$K_B = 3 + 7$

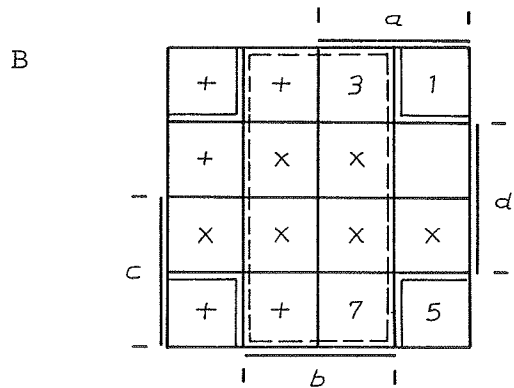
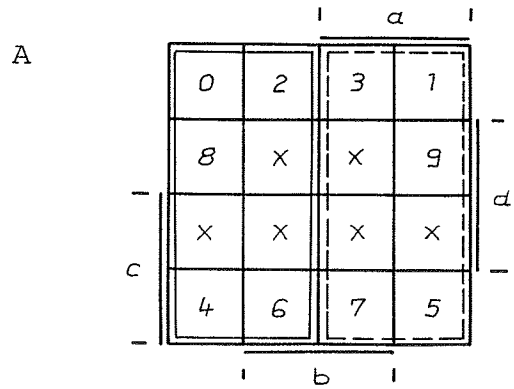
$J_B = \bar{d}$

$J_B = \bar{d}$

$K_B = \bar{x} \rightarrow K_B = 1$

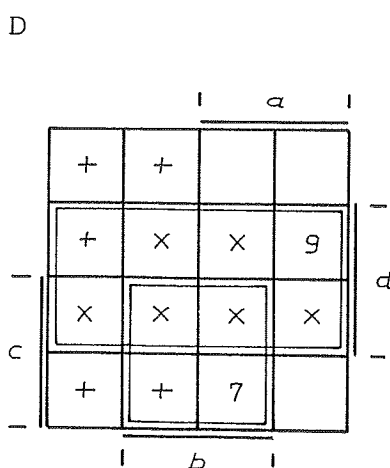
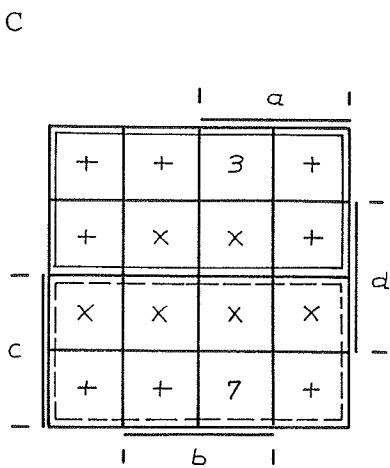
$J_C = 3 \quad J_C = \bar{x} \quad K_C = \bar{x}$

$K_C = 7 \quad J_C = 1 \quad K_C = 1$



$J_D = 7 \quad J_D = b \cdot c \quad K_D = \bar{x}$

$K_D = 9 \quad K_D = 1$



Für die Flipflops A und C ist natürlich die Erstellung der Setz- und Rücksetzgleichungen mittels Karnaugh-Diagramm überflüssig, weil diese Flipflops als reine 1 : 2-Untersetzer arbeiten. Es sollte hier nur gezeigt werden, daß ohne besondere Überlegungen die Setz- und Rücksetzbedingungen immer aus dem Karnaugh-Diagramm herzuleiten sind.

In den meisten Fällen ist es jedoch einfacher und schneller, wenn man durch reine Überlegung ohne Karnaugh-Diagramm die Schaltung entwirft.

4.2.2 Aufgaben

Aufgabe 4 - 1:

Man gebe die Schaltung einer asynchronen 8-4-2-1-Rückwärts-Zähldekade mit negativ flankengetriggerten JK-MS-Flipflops an.

Lösung 4 - 1:

Dezimal- ziffer	Code				Zähl- takt
	a	b	c	d	
0	0	0	0	0	0
9	1	0	0	1	1
8	0	0	0	1	2
7	1	1	1	0	3
6	0	1	1	0	4
5	1	0	1	0	5
4	0	0	1	0	6
3	1	1	0	0	7
2	0	1	0	0	8
1	1	0	0	0	9
<hr style="border-top: 1px dashed black;"/>					
	0	0	0	0	

Lageplan der Dezimalziffern

a b c d	a	0	0	1	1
	b	0	1	1	0
0	0	0	2	3	1
0	1	8	x	x	9
1	1	x	x	x	x
1	0	4	6	7	5

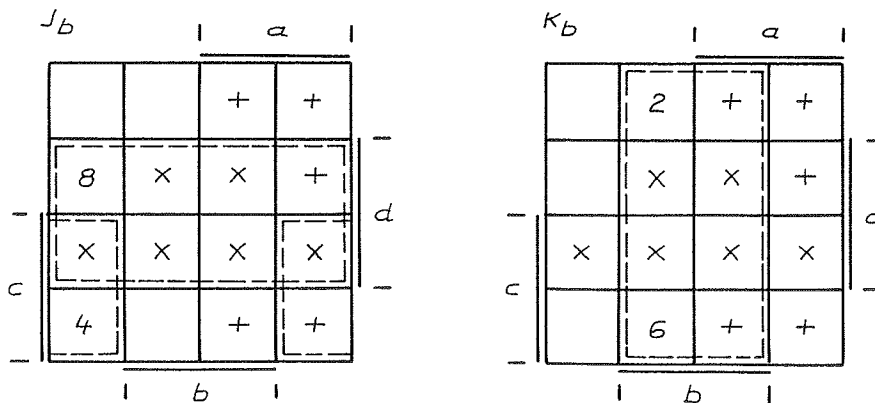
Man erkennt, daß b beim Übergang von 0 auf 1 von a angesteuert werden muß, also mit  $\bar{a}$ .

c muß mit  $\bar{b}$  getaktet werden, braucht aber keine zusätzliche Belegung.

Flipflop D muß ebenfalls mit  $\bar{a}$  getaktet werden.

Nur für die Flipflops B und D müssen die Setz- und Rücksetzgleichungen aufgestellt werden.

Flipflop B : getaktet von  $\bar{a}$ , zusätzliche don't-care-Felder bei 9, 7, 5, 3, 1



$$J_B = 8 + 4$$

$$K_B = 6 + 2$$

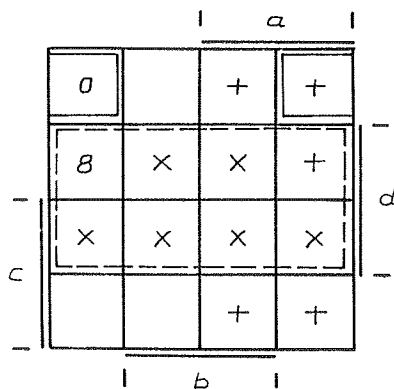
$$J_B = d + \bar{c} \cdot c$$

$$K_B = \bar{c}$$

$$J_B = c + d$$

$$K_B = 1$$

Flipflop D : getaktet von  $\bar{a}$ , don't-care-Felder wie bei b



$$J_D = 0$$

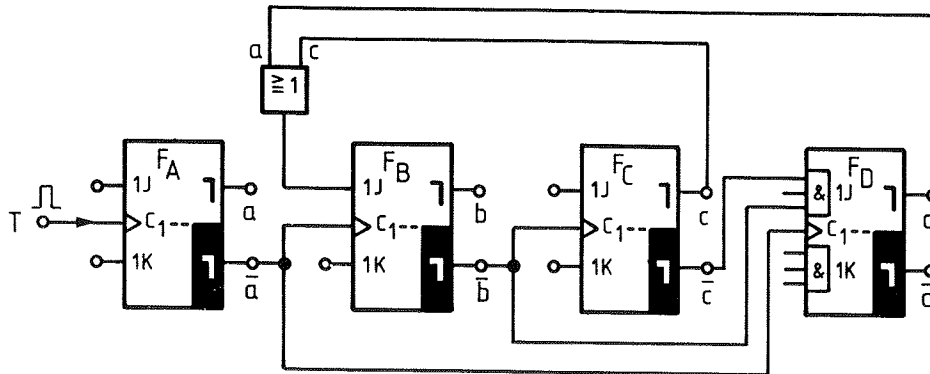
$$K_D = 8$$

$$J_D = \bar{b}\bar{c}\bar{x}$$

$$K_D = \bar{c} \rightarrow K_D = 1$$

$$J_D = \bar{b}\bar{c}$$

### Schaltung asynchrone 8-4-2-1-Rückwärts-Zähldekade



Die Impuls-Diagramme sind wie beim synchronen 8-4-2-1-Rückwärtszähler (S.40).

#### Aufgabe 4 - 3:

Man realisiere eine asynchrone 8-4-2-1-Rückwärts-Zähldekade mit einem im Gerät vorhandenen 1 : 10-Untersetzer (= asynchrone 8-4-2-1-Vorwärts-Zähldekade) und dem Neunerkomplementbilder.

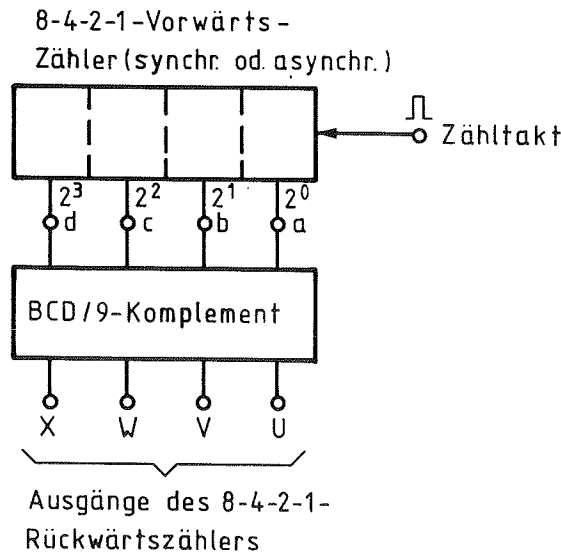
#### Lösung 4 - 3:

Man geht von einem normalen 8-4-2-1-Vorwärtszähler aus, der sowohl synchron oder asynchron ausgeführt sein kann. An den Ausgängen des Vorwärtszählers wird ein Umcodierer angeschlossen, der das Neunerkomplement von BCD-Dualzahlen bildet. Dieser Umcodierer ist bereits im Gerät vorhanden. Bekanntlich ist das Neunerkomplement einer Zahl die Ergänzung dieser Zahl zu neun.

0	→	9
1	→	8
2	→	7
3	→	6
4	→	5
5	→	4
6	→	3
7	→	2
8	→	1
9	→	0

Wenn also der Vorwärtszähler von 0 ... 9 zählt, erscheint an den Ausgängen U V W X des Neunerkomplementbilders eine Dualzahlfolge, die von 9 nach 0 geht.

Prinzipschaltung:



Wird an den Ausgängen U V W X eine Ziffernanzeige angeschlossen, kann das Herunterzählen sichtbar gemacht werden.

Aufgabe 4 - 4:

Man entwickle nach der auf S.87...S.89 besprochenen Methode asynchrone Vorwärtszähldekade für den Exzeß-3-Code.

Lösung 4 - 4:

Dez.- ziffer	Code			
	a	b	c	d
0	1	1	0	0
1	0	0	1	0
2	1	0	1	0
3	0	1	1	0
4	1	1	1	0
5	0	0	0	1
6	1	0	0	1
7	0	1	0	1
8	1	1	0	1
9	0	0	1	1
0	1	1	0	0

Lageplan

c d	a	b		
	0	0	1	1
0 0	x	x	0	x
0 1	5	7	8	6
1 1	9	x	x	x
1 0	1	3	4	2

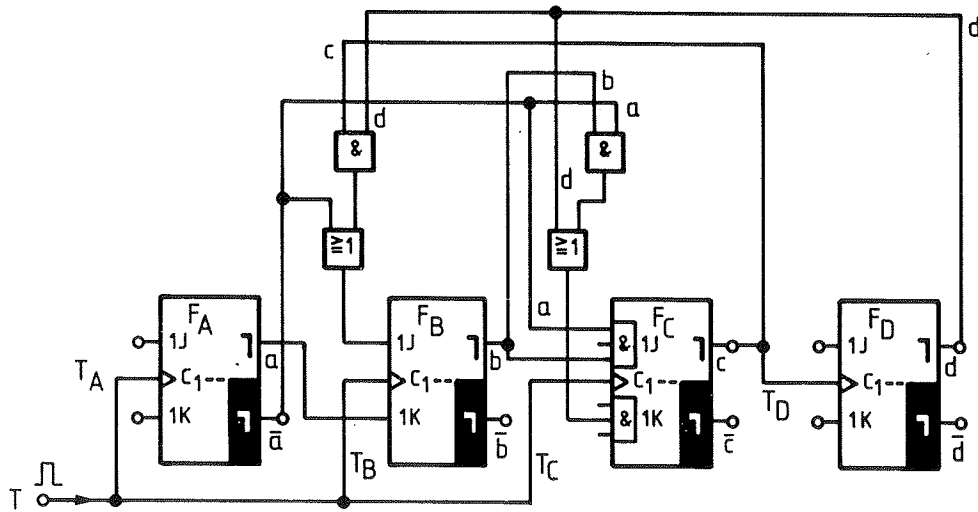
Gleichungen:

$$\begin{aligned}
 J_A &= 1 & ; & \quad K_A = 1 \\
 J_B &= a + c \cdot d & ; & \quad K_B = a \\
 J_C &= a \cdot b & ; & \quad K_C = a \cdot b + d \\
 J_D &= 1 & ; & \quad K_D = 1
 \end{aligned}$$

Taktsteuerungen:

$$\begin{aligned}
 T_A, T_B, T_C &\rightarrow T \\
 T_D &\rightarrow C
 \end{aligned}$$

Schaltung asynchrone Exzeß-3-Code-Vorwärts-Zähldekade:



Aufgabe 4 - 5:

Nach den bekannten Methoden für die Synthese der Asynchronzähler entwickle man die Schaltung einer asynchronen Aiken-Code-Vorwärts-Zähldekade (Aiken-Code Teil I, S. 72).

Lösung 4 - 5:

Dez.- ziffer	Code			
	a	b	c	d
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	1	0	1
6	0	0	1	1
7	1	0	1	1
8	0	1	1	1
9	1	1	1	1
0	0	0	0	0

Lageplan:

c \ d	a	b		
	0	1	1	0
0	0	2	3	1
0	x	x	5	x
1	6	8	9	7
1	4	x	x	x

Gleichungen:

$$J_A = 1 ; J_B = a + c\bar{d} ; J_C = ab + c\bar{d} ; J_D = 1$$

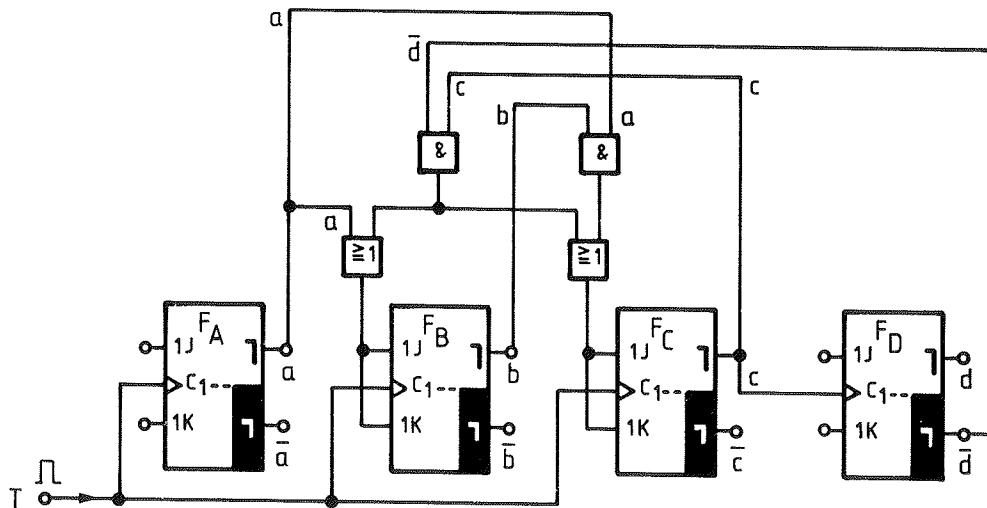
$$K_A = 1 ; K_B = a + c\bar{d} ; K_C = ab + c\bar{d} ; K_D = 1$$

Taktsteuerung:

$$T_A; T_B; T_C \rightarrow T$$

$$T_D \rightarrow C$$

Schaltung asynchrone Aiken-Code-Vorwärts-Zähldekade:



#### 4.3 Modulo- $2^m$ -Zähler

Diese Zähler haben einen maximalen Zählerstand von  $2^m$  und beginnen dann wieder von vorne. Sie zählen im Dualcode.

z.B.

$$2^1 = 2$$

$$2^2 = 4$$

$$2^3 = 8$$

$$2^4 = 16$$

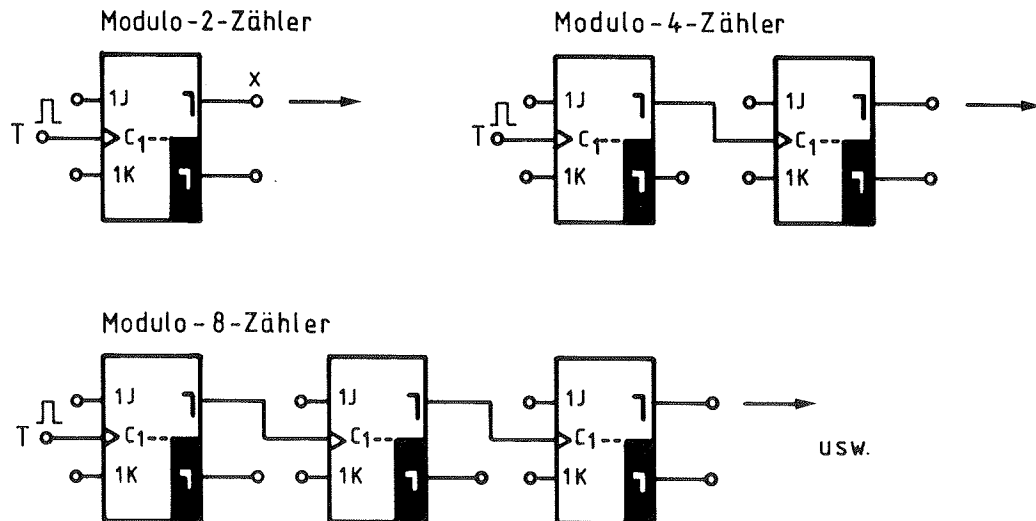
$$\vdots \quad \quad \quad \vdots$$

Sie lassen sich asynchron und synchron aufbauen. Ihre Synthese ist identisch mit den asynchronen und synchronen Zählern, ergeben aber besonders einfache Schaltungen.



#### 4.3.1 Asynchrone Modulo- $2^m$ -Zähler

Diese einfachsten Zählerstrukturen erhält man, wenn  $m$  Flipflops hintereinandergeschaltet werden. Jedes Flipflop ist als T-Flipflop geschaltet und arbeitet als 1 : 2 Untersetzer.



#### 4.4 Frequenzteiler

Der Frequenzteiler hat die Aufgabe, eine bestimmte Anfangsfrequenz zu unterteilen. Er ist die einfachste Form eines Zählers und wird wegen der Einfachheit asynchron ausgeführt. Die Frequenzteilung ist nur um ganzzahlige Vielfache des Eingangsimpulses möglich. Er addiert jeweils eine bestimmte Zahl von Impulsen und zeigt das Erreichen der Summe an. Dann kippt er in den Nullzustand zurück. Bei Frequenzzählern interessiert weniger das synchrone Schalten der Flipflops und der Code in dem gezählt wird, sondern nur die Teilung.

Es gibt viele Möglichkeiten, Frequenzen zu teilen, z.B. die Dekadenzähler (1 : 10), die modulo- $2^m$ -Zähler (1 :  $2^m$ ), die modulo- $m$ -Zähler (1 :  $m$ ), Vorwahlzähler.

Mit Ausnahme des mod.- $2^m$ -Zählers ist das Tastverhältnis (= Impulsbreite zur Periodendauer) des unterteilten Ausgangsimpulses immer kleiner als  $\frac{1}{2}$ . Der Anteil der Grundfrequenz im Frequenzspektrum der Rechteckschwingung am Ausgang ist hierbei nicht optimal.

Bei dem Entwurf eines Frequenzteilers geht man von folgenden Überlegungen aus:

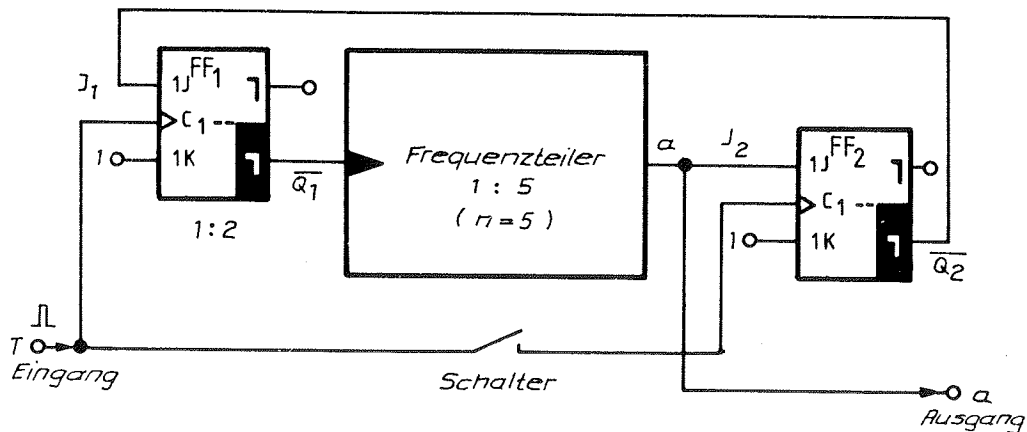
- 1) Geradzahlige Teiler  $1 : 2^m \rightarrow$  Modulo- $2^m$ -Zähler
- 2) Ganzzahlige ungerade Teiler
  - a) bis etwa Teilerverhältnis  $1 : 10 \rightarrow$  Modulo- $n$ -Zähler,
  - b) ab Teilerverhältnis  $1 : 10$ 
    - I) Aufspaltung des Teilungsverhältnisses in mehrere ungeradzahlige und geradzahlige Faktoren und Hintereinanderschaltung der Einzelteiler  
z.B.:  $360 = 6 \cdot 6 \cdot 10$
    - II) Aufspaltung des Teilungsverhältnisses in ungerade und geradzahlige Faktoren + 1  
z.B.:  $30 = 2 \cdot 15$   
 $30 = 2 \cdot (14 + 1)$   
 $30 = 2 \cdot (2 \cdot 7 + 1)$

Ist das Teilerverhältnis gerade, kann durch 2 dividiert werden, bei einem ungeraden Teilerverhältnis kann die Summe in eine gerade Zahl + 1 zerlegt werden.

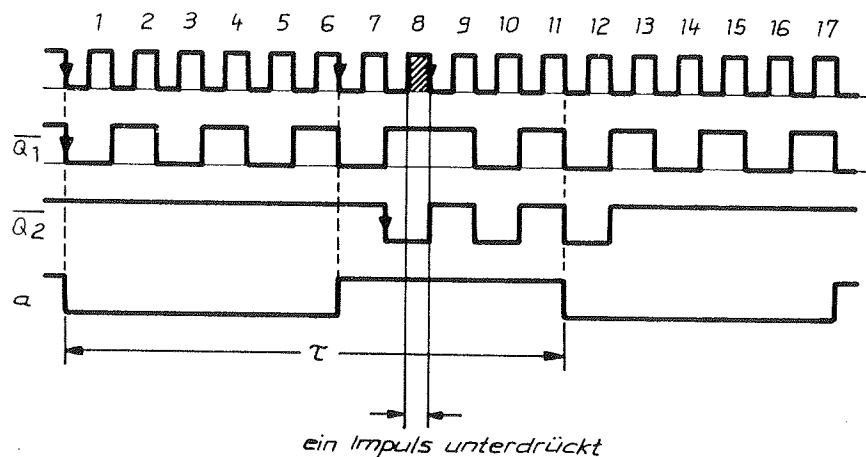
Der Fall b II) soll anhand des Asynchronfrequenzteilers  $1 : 50$  untersucht werden. Dieser Teiler wird in der Praxis häufig zur Teilung der Netzfrequenz von 50 Hz auf 1 Hz benötigt.

$$\begin{aligned}
 50 &= 2 \cdot 25 \\
 &= 2 \cdot (24 + 1) \\
 &= 2 \cdot (2 \cdot 12 + 1) \rightarrow [2 \cdot (2n + 1)] \\
 &= 2 \cdot (2 \cdot 2 \cdot 6 + 1) \\
 &= 2 \cdot (2 \cdot 2 \cdot 2 \cdot 3 + 1) \\
 &= 2 \cdot [2 \cdot 2 \cdot 2 \cdot (2 + 1) + 1]
 \end{aligned}$$

Die Teilung durch 2 kann einfach mit einem T-Flipflop realisiert werden. Die Zerlegung einer ungeraden Zahl ( $2n + 1$ ) ist etwas schwieriger. Es muß ein Zählimpuls bei einem  $1 : 2n$  Untersetzer unterdrückt werden. Das Prinzip zeigt die folgende Schaltung:



Schalter offen	1:2·5	allgemein 1:2·n	gerade
Schalter geschlossen	1:(2·5+1)	allgemein 1:(2·n+1)	ungerade



Bis zum 8. Impuls arbeitet das Flipflop 1 als  $1 : 2$ -Unter-setzer weil  $J_1 = \overline{Q_2} = 1$ . Bei der negativen Flanke des 6. Im-pulses wird  $J_2 = a = 1$ . Dadurch wird beim 7. Impuls Flipflop 2 gesetzt,  $\overline{Q_2} = J_1$  wird Null und blockiert das Umschalten von Flipflop 1 bei der negativen Flanke des 8. Taktes. Erst der nächste Takt setzt FF2 zurück und FF1 kann wieder toggeln.

Es ist also hier der 8. Impuls vom Frequenzteiler 1 : 5 (allgemein 1 : n) nicht registriert worden. Damit ein voller Zählzyklus erreicht wird, muß also ein Takt mehr angeboten werden, insgesamt  $2n + 1$  Takte.

Diese Art der Frequenzteilung läßt sich ganz allgemein anwenden. Sie lohnt sich jedoch nur bei größeren Teiler-Verhältnissen, wo mod-n-Zähler sehr unübersichtlich werden. In diesem Beispiel wurden benötigt:

2 Flipflops ( $FF_1, FF_2$ ) und 3 Flipflops für den 1 : 5 Untersetzer, also zusammen 5 Flipflops. Um bis 11 zu zählen, kommt man aber bei einem mod-11-Zähler schon mit 4 Flipflops aus!

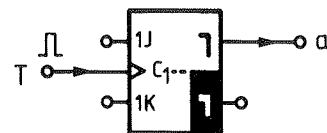
#### 4.4.1 Aufgaben

Die folgenden Aufgaben über asynchrone Frequenzteiler sind entsprechend der allgemeinen Schaltungsanordnung auf S.97 durch Faktore zerlegung zu lösen.

##### Aufgabe 4 - 6:

Frequenzteiler 1:2

##### Lösung 4 - 6:



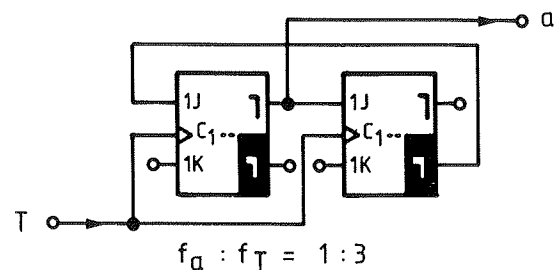
$$f_a : f_T = 1:2$$

##### Aufgabe 4 - 7:

Frequenzteiler 1:3

##### Lösung 4 - 7:

$$1:3 = 1:2 + 1 \text{ (ungerade)}$$



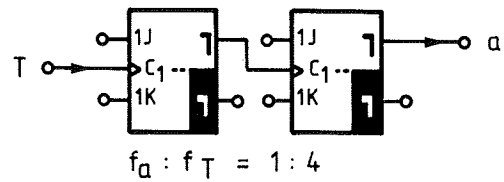
$$f_a : f_T = 1:3$$

Aufgabe 4 - 8:

Frequenzteiler 1:4

Lösung 4 - 8:

1:4 = 1:2·2 (gerade)

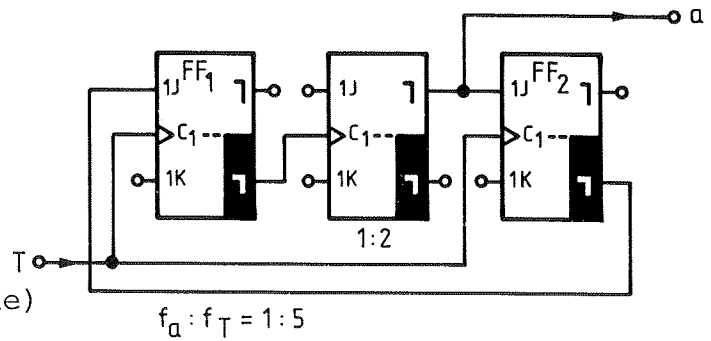


Aufgabe 4 - 9:

Frequenzteiler 1:5

Lösung 4 - 9:

1:5 = 1:(2·2+1) (ungerade)

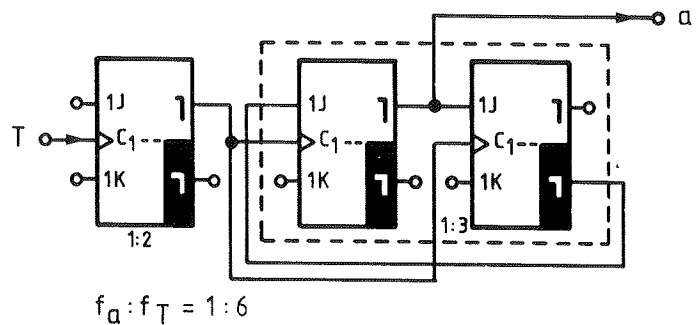


Aufgabe 4 - 10:

Frequenzteiler 1:6

Lösung 4 - 10:

1:6 = 1:2·3

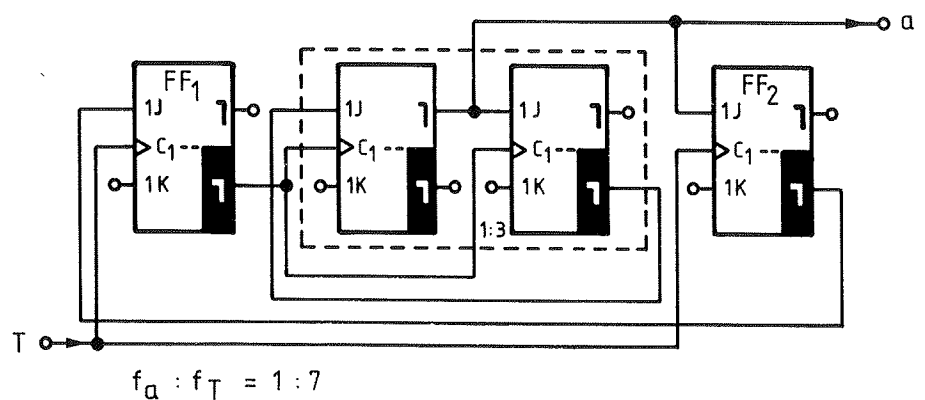


Aufgabe 4 - 11:

Frequenzteiler 1:7

Lösung 4 - 11:

1:7 = 1:2·3+1 (ungerade)

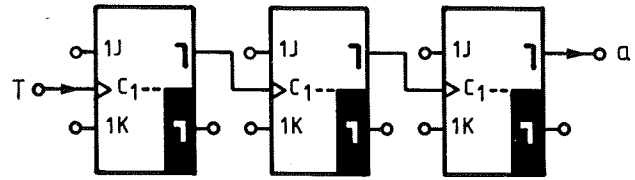


Aufgabe 4 - 12:

Frequenzteiler 1:8

Lösung 4 - 12:

$1:8 = 1:2 \cdot 2 \cdot 2$



$f_a : f_T = 1:8$

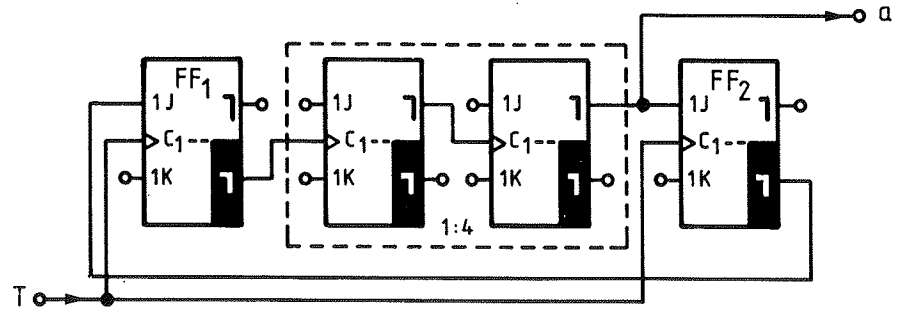
Aufgabe 4 - 13:

Frequenzteiler 1:9

Lösung 4 - 13:

$1:9 = 1:2 \cdot 4 + 1$  (ungerade)

$f_a : f_T = 1:9$



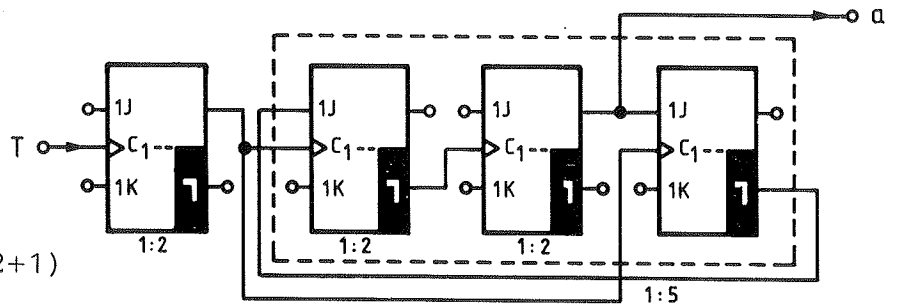
Aufgabe 4 - 14:

Frequenzteiler 1:10

Lösung 4 - 14:

$1:10 = 1:2 \cdot 5 = 1:2(2 \cdot 2 + 1)$

$f_a : f_T = 1:10$

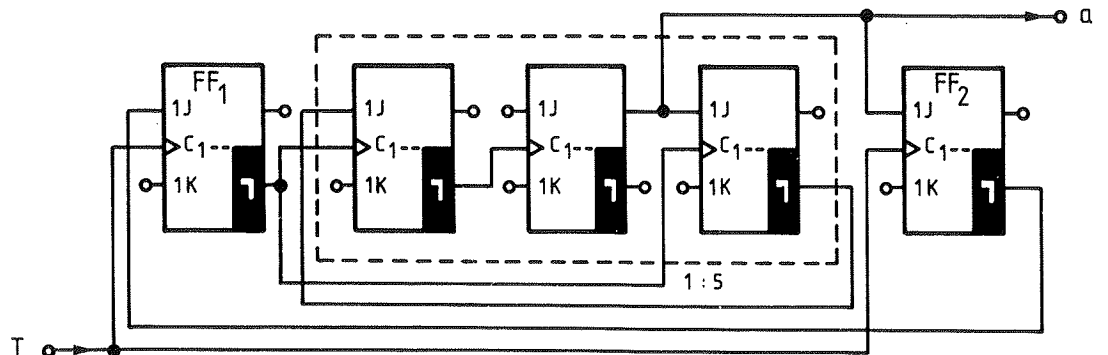


Aufgabe 4 - 15:

Frequenzteiler 1:11

Lösung 4 - 15:

$1:11 = 1:2 \cdot 5 + 1$  (ungerade),



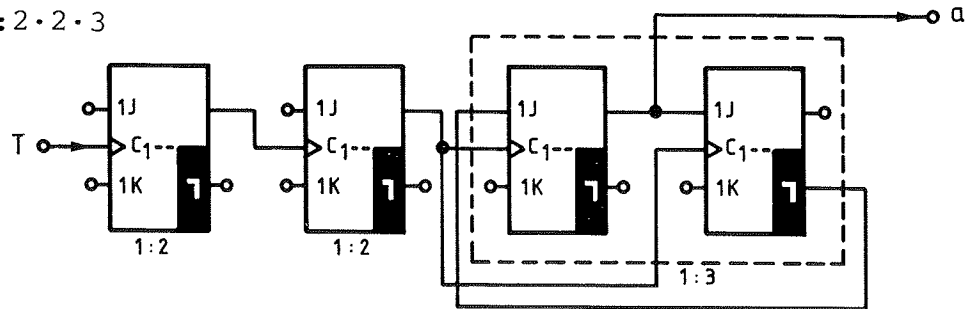
$f_a : f_T = 1:11$

Aufgabe 4 - 16:

Frequenzteiler 1:12

Lösung 4 - 16:

$$1:12 = 1:2 \cdot 2 \cdot 3$$



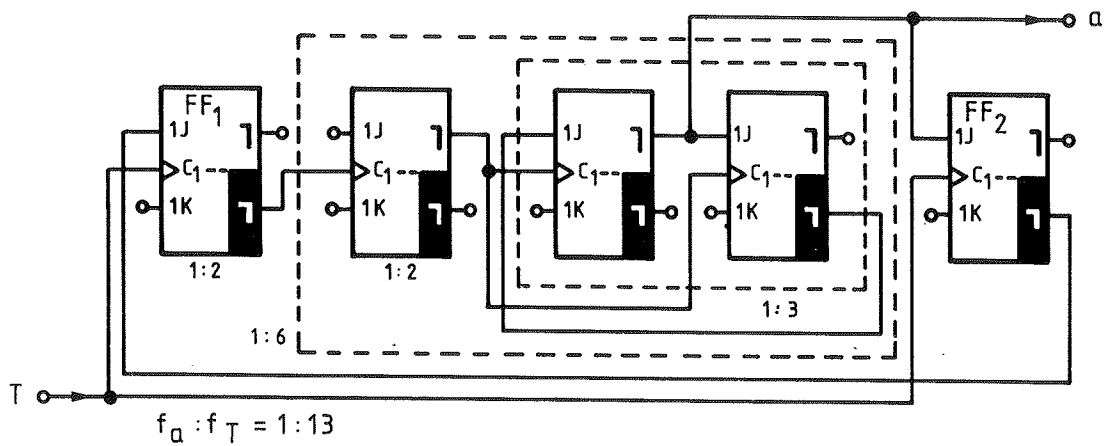
$$f_a : f_T = 1:12$$

Aufgabe 4 - 17:

Frequenzteiler 1:13

Lösung 4 - 17:

$$1:13 = 1:2 \cdot 2 \cdot 3 + 1 \text{ (ungerade),}$$



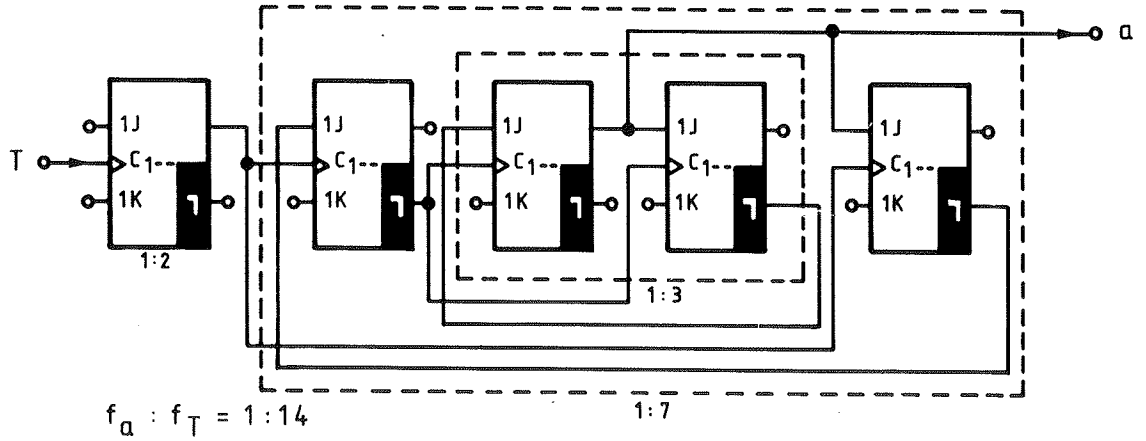
$$f_a : f_T = 1:13$$

Aufgabe 4 - 18:

Frequenzteiler 1:14

Lösung 4 - 18:

$$1:14 = 1:2 \cdot 7 = 1:2 (2 \cdot 3 + 1)$$



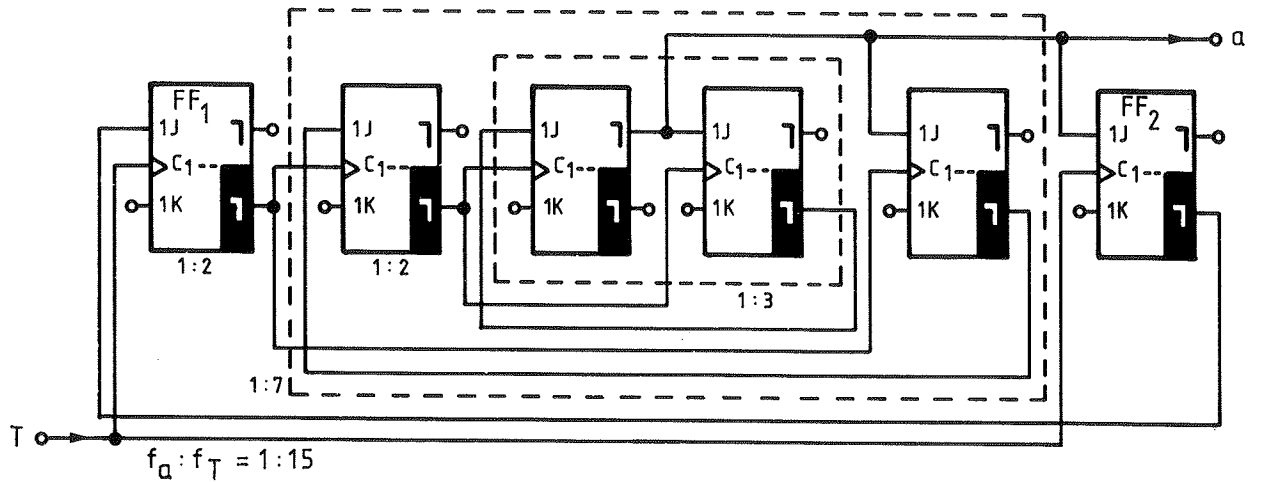
Aufgabe 4 - 19:

Frequenzteiler 1:15

Lösung 4 - 19:

$$1:15 : 1: (2 \cdot 7 + 1) = 1: (2 \cdot 2 \cdot 3 + 1)$$

ungerade, "Schalter geschlossen"



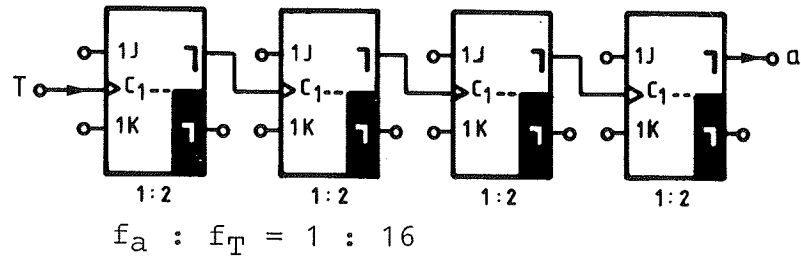


Aufgabe 4 - 20:

Frequenzteiler 1:16

Lösung 4 - 20:

$$1:16 = 2 \cdot 2 \cdot 2 \cdot 2$$

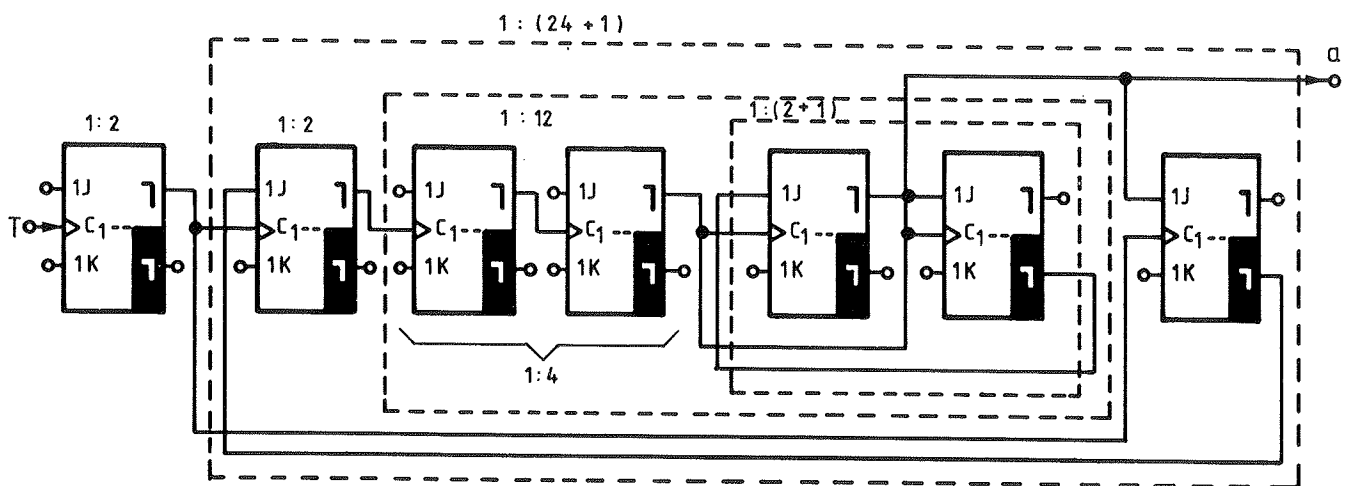


Aufgabe 4 - 21:

Frequenzteiler 1:50

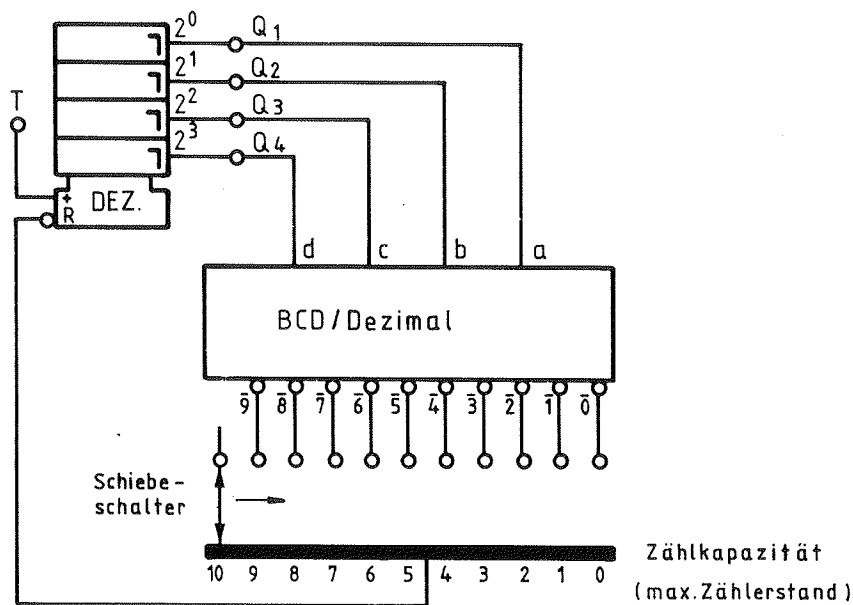
Lösung 4 - 21:

$$1:50 = 1:2 \cdot (24 + 1) = 1:2 (2 \cdot 12 + 1) = 1:2 (2 \cdot 4 \cdot 3 + 1)$$



#### 4.5 Zähler mit einstellbarem Teilerverhältnis (programmierbar)

Das Teilerverhältnis, das zwischen 1 und 9 einstellbar ist, wird über die Verbindung des Rückstelleingangs  $\bar{R}$  der Zähldekade mit dem entsprechenden Ausgang des BCD-Decoders gewählt. Im Zählbetrieb muß der Eingang  $\bar{R}$  des Zählers auf 1 liegen. Ein 0-Signal an  $\bar{R}$  stellt den Anfangszustand  $Q_1 Q_2 Q_3 Q_4 = 0 0 0 0$  wieder her. Da die Decoderausgänge auf 1 liegen und erst bei der der gewünschten Zählkapazität entsprechenden Binärinformation an a b c d auf 0 wechseln, kann  $\bar{R}$  direkt von den Decoderausgängen angesteuert werden. Dieser Zähler entspricht dem Vorwahlzähler auf S.64 (Fall 2) arbeitet aber asynchron.



## 5. ARITHMETISCHE SCHALTUNGEN

### 5.1 Serienaddierer

Auf S.120 Teil I ist ein 1 Bit-Volladdierer berechnet worden, der 2 Binärziffern  $a_n$  und  $b_n$  sowie den eingehenden Übertrag  $\dot{U}_{n-1}$  einer vorangehenden Addition addiert und am Ausgang die Summe  $S_n$  und den neuen Übertrag  $\dot{U}_n$  liefert. Bei zwei mehrstelligen Binärzahlen muß diese Addition für jede Stelle durchgeführt werden. Dabei gibt es prinzipiell 2 Möglichkeiten:

#### a) Parallelbetrieb:

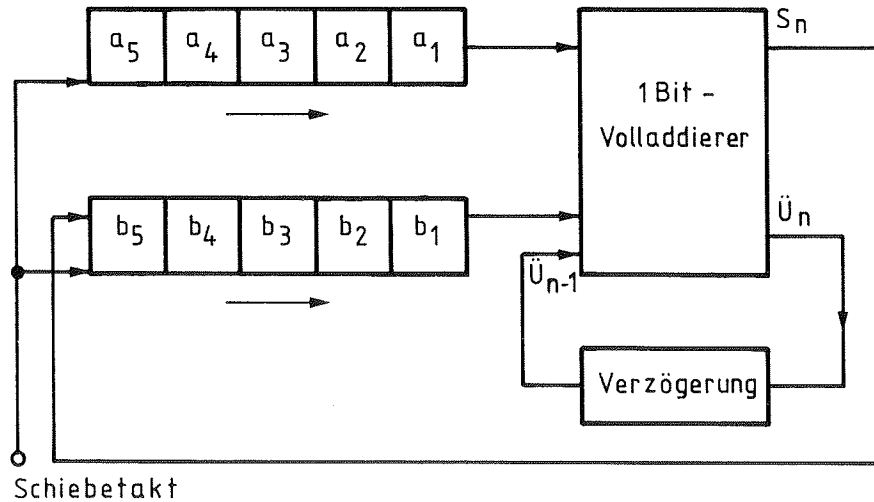
Für jede Binärstelle wird 1 Volladdierer benötigt. Die Addition erfolgt in einem Vorgang. Der Vorteil dieser Methode ist eine hohe Rechengeschwindigkeit, ihr Nachteil besteht im hohen Aufwand (S.128 Teil I).

#### b) Serienbetrieb

Bei der Addition zweier Dualzahlen sind die einander entsprechenden Dualzahlen der Summanden  $a$  und  $b$  unter Berücksichtigung des Übertrages  $\dot{U}_{n-1}$  aus der Addition der nächstniedrigen Dualstelle zu addieren. Werden die Dualzahlen dem Addierer in der Reihenfolge steigender Zweierpotenzen seriell angeboten, so lassen sich die Additionen der einzelnen Dualstellen zeitlich nacheinander mit einem Volladdierer durchführen. Die beiden Summanden  $a$  und  $b$  werden in zwei Schieberegistern zwischengespeichert. Die letzte Dualstelle wird dem Addierer zugeführt. Er bildet die Summe  $S_n$  und den Übertrag  $\dot{U}_n$  unter Berücksichtigung des vorherigen Übertrags  $\dot{U}_{n-1}$ . Die Summe  $S_n$  wird in einem weiteren Register abgespeichert (Akkumulator). Der Übertrag  $\dot{U}_n$  muß verzögert bzw. zwischengespeichert werden (z.B. durch ein Flipflop), da er erst beim nächsten Takt verwendet wird.

Beim nächsten Takt wird der Inhalt der beiden Schieberegister um eine Stelle nach rechts verschoben und die nächste Addition wird durchgeführt. Da bei jedem Takt ein weiterer

Speicherplatz links in den Schieberegistern frei wird, kann man einen zusätzlichen Akkumulator einsparen, indem man die Summe  $S_n$  von links in eines der beiden Register einschreibt. Die Addition ist nach  $n$  Takten beendet, wenn  $n$  die Anzahl der dualen Stellen ist.



#### 5.1.1 Schaltungsbeispiel: Realisierung eines Serienaddierwerks

$a_n$	$b_n$	$\ddot{U}_{n-1}$	$S_n$	$\ddot{U}_n$
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

← Setzen

← Rücksetzen

In der obenstehenden Tabelle sind alle Möglichkeiten zusammengestellt, die zwischen den Werten  $a_n$  und  $b_n$  der  $n$ -ten Stelle der Summanden sowie des alten Übertrags  $\ddot{U}_{n-1}$  der vorherigen ( $n-1$ )-ten Stelle auftreten können. Dabei ist  $S_n$  die Summe von  $a_n$  und  $b_n$  ohne Übertrag,  $\ddot{U}_n$  der neue Übertrag von  $S_n$ , der bei der nächsten Addition dem Übertrag  $\ddot{U}_{n-1}$  entspricht. Die Summe  $S_n$  lässt sich, wie bereits beschrieben,

durch eine entsprechende log. Verknüpfung realisieren, oder man benutzt einfach nur eine Stelle des 4-Bit-Volladdierers. Dabei entsprechen:

$$A_1 \hat{=} a_n \quad B_1 \hat{=} b_n \quad \dot{U}_e = \dot{U}_{n-1} \quad S_1 = S_n$$

$$S_2 \hat{=} \dot{U}_n$$

Die Eingänge  $A_2 \dots A_4$  und  $B_2 \dots B_4$  müssen mit Null belegt werden.

Den Übertrag  $\dot{U}_n$  realisiert man am besten mit Hilfe eines zusätzlichen Flipflops ( $\dot{U}$ -Register), da beim nächsten Takt  $\dot{U}_n$  als  $\dot{U}_{n-1}$  vom Addierer verarbeitet werden muß. Das FF übernimmt dabei sowohl die kurzzeitige Zwischenspeicherung als auch eine gewisse Zeitverzögerung durch die positive und negative Flanke des Taktes (J-K-Flipflop), damit der Addierer nicht gleichzeitig den gebildeten Übertrag  $\dot{U}_n$  als  $\dot{U}_{n-1}$  beim gleichen Takt verarbeitet. Aus der Tabelle lassen sich für  $\dot{U}_n$  die Setz- und Rücksetzbedingungen des  $\dot{U}$ -Registers aufstellen. Dabei betrachtet man nur die Änderung von  $\dot{U}_{n-1}$  gegenüber  $\dot{U}_n$ :

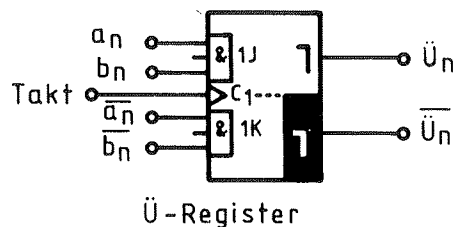
Setzbedingung:

$$J_{\dot{U}} = a_n b_n \cdot \overline{\dot{U}_{n-1}}$$

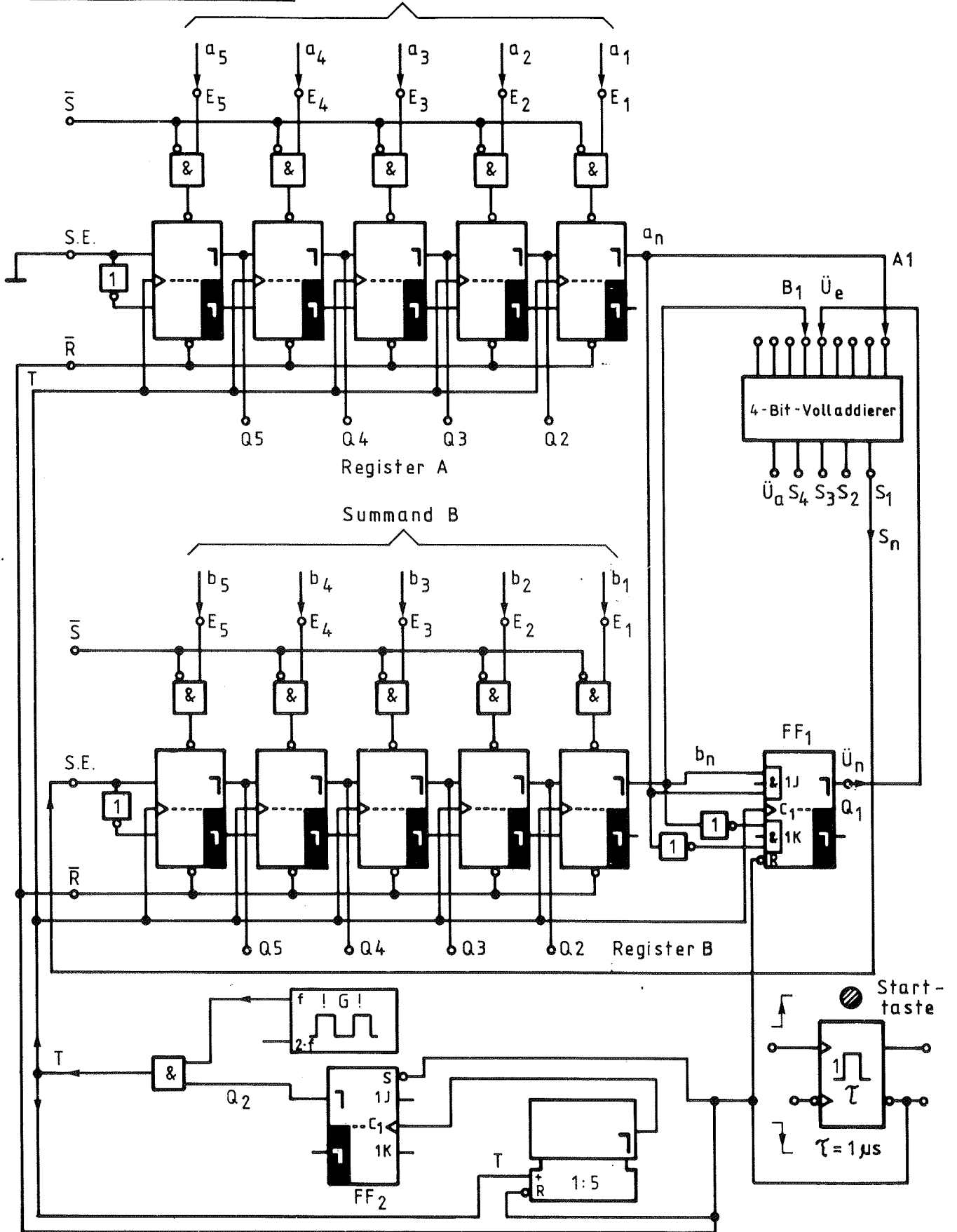
Rücksetzbedingung:

$$K_{\dot{U}} = \overline{a_n b_n} \cdot \dot{U}_{n-1}$$

Die Variable  $\dot{U}_{n-1}$  bzw.  $\overline{\dot{U}_{n-1}}$  braucht nicht berücksichtigt werden, da diese Verbindung bereits im J-K-Flipflop intern vorhanden ist.

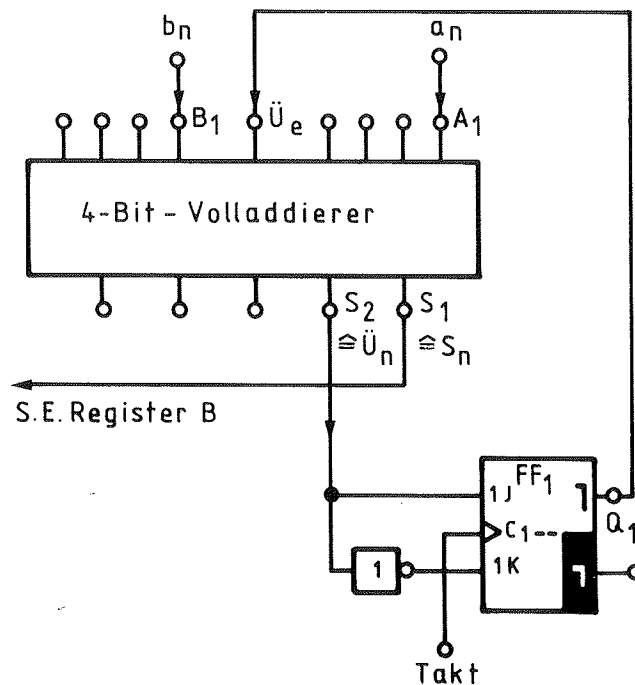


Komplette Schaltung: Summand A



Diese Schaltung liefert genau 5 Taktimpulse durch das Flipflop FF<sub>2</sub> und den 1 : 5 Untersetzer. Vor Rechenbeginn müssen die Register A und B, das Übertragsflipflop FF<sub>1</sub> und der 1 : 5 Untersetzer zurückgesetzt werden. (Erfolgt automatisch beim Betätigen der Starttaste). Nachdem die Summanden parallel in die Register gegeben worden sind, wird durch Betätigen der Starttaste des Monoflops das Flipflop FF<sub>2</sub> kurz gesetzt und über das UND-Gatter gelangen die 5 Takte zum Serienaddierer. Nach 5 Takten wird über den 1 : 5 Untersetzer das Flipflop FF<sub>2</sub> zurückgesetzt und das UND-Gatter gesperrt. Der Rechenvorgang ist beendet, das Summenergebnis steht im Register B.

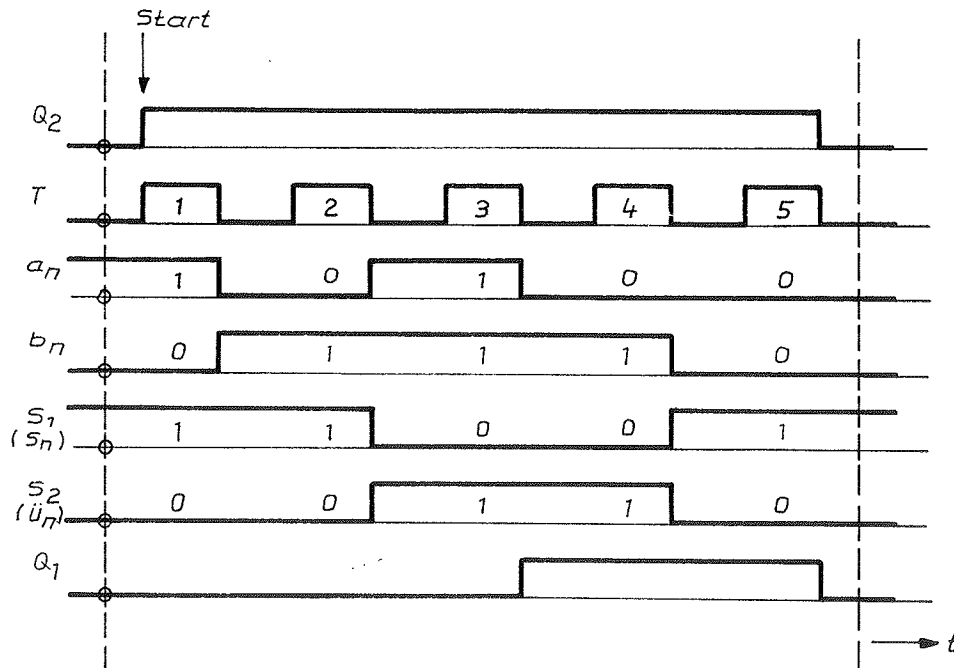
Der Übertrag  $\ddot{U}_n$  kann noch einfacher mit Hilfe des Volladdierers gebildet werden:



Der beim Addierer entstehende Übertrag wird mit der positiven Flanke des Taktes von Flipflop FF<sub>1</sub> übernommen und erst mit der nachfolgenden abfallenden Flanke wieder dem Volladdierer zugeführt. Dadurch ist Verzögerung und Zwischenspeicherung erreicht.

Impulsdiagramm am Beispiel:

$$\begin{array}{r}
 0\ 0\ 1\ 0\ 1 = 5\ (A) \\
 +\ 0\ 1\ 1\ 1\ 0 = 14\ (B) \\
 \hline
 1\ 0\ 0\ 1\ 1 = 19\ (S)
 \end{array}$$



## 5.2 Seriensubtrahierer

### 1. Schaltungsmöglichkeit

Diese Seriensubtraktion läßt sich entsprechend der Serienaddition durchführen. Es muß lediglich der 1 Bit-Volladdierer durch einen 1-Bit-Vollsubtrahierer ersetzt werden. In der nachfolgenden Funktionstabelle sind alle Möglichkeiten erfaßt, die zwischen dem Minuend  $a_n$  und dem Subtrahend  $b_n$  ( $a_n - b_n$ ) sowie dem Borger  $C_{n-1}$  der vorherigen Stelle  $n-1$  entstehen.

$D_n$  ist die gebildete Differenz.  $C_n$  ist der neue Borger. Es soll der Subtrahend kleiner als der Minuend sein ( $b < a$ ).



$a_n$	$b_n$	$C_{n-1}$	$D_n$	$C_n$
0	0	0	0	0
0	1	0	1	1
1	0	0	1	0
1	1	0	0	0
0	0	1	1	1
0	1	1	0	1
1	0	1	0	0
1	1	1	1	1

← Setzen

← Rücksetzen

Aufgabe 5 - 1:

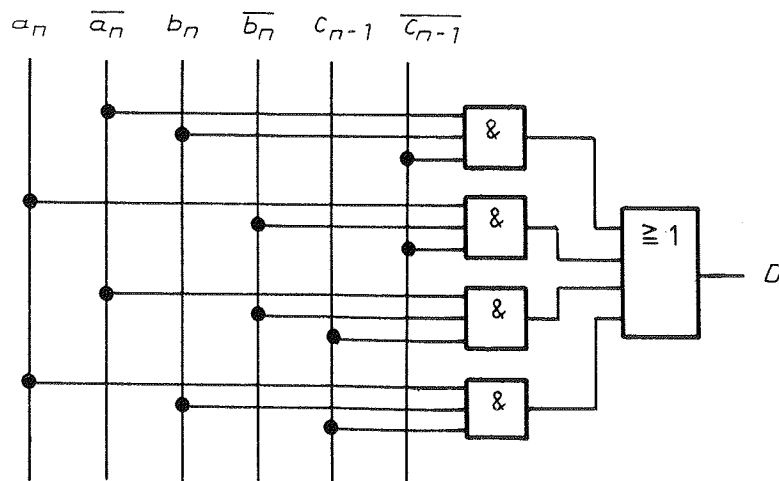
Man gebe die logische Verknüpfung für die Differenz  $D_n$  an.

Lösung 5 - 1:

Es gilt:

$$D = \bar{a}_n \cdot b_n \cdot \bar{C}_{n-1} + a_n \cdot \bar{b}_n \cdot \bar{C}_{n-1} + \bar{a}_n \cdot \bar{b}_n \cdot C_{n-1} + a_n \cdot b_n \cdot C_{n-1}$$

(keine Vereinfachung möglich)



Aufgabe 5 - 2:

Entsprechend der Schaltungsrealisierung für den Übertrag  $\bar{U}_n$  mittels  $\bar{U}$ -Register gebe man eine Schaltung an, die den Borger  $C_n$  mit einem Flipflop bildet.

Lösung 5 - 2:

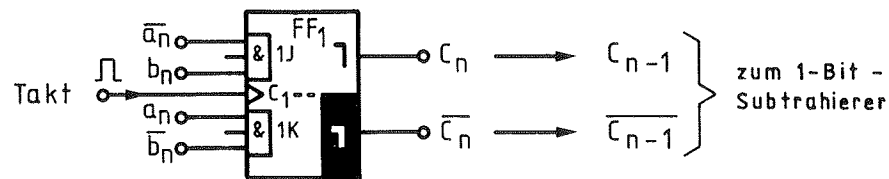
Der Borger  $C_n$  (entsprechend dem Übertrag bei der Addition) wird wegen der erforderlichen Verzögerung und Zwischenspeicherung wieder mit einem J-K-Flipflop realisiert. Auch hier brauchen nur die Änderungen von  $C_n$  gegenüber  $C_{n-1}$  berücksichtigt werden (Tabelle S.111).

Setzen:

$$J_C = \overline{a_n} \cdot b_n$$

Rücksetzen:

$$K_C = a_n \cdot \overline{b_n}$$



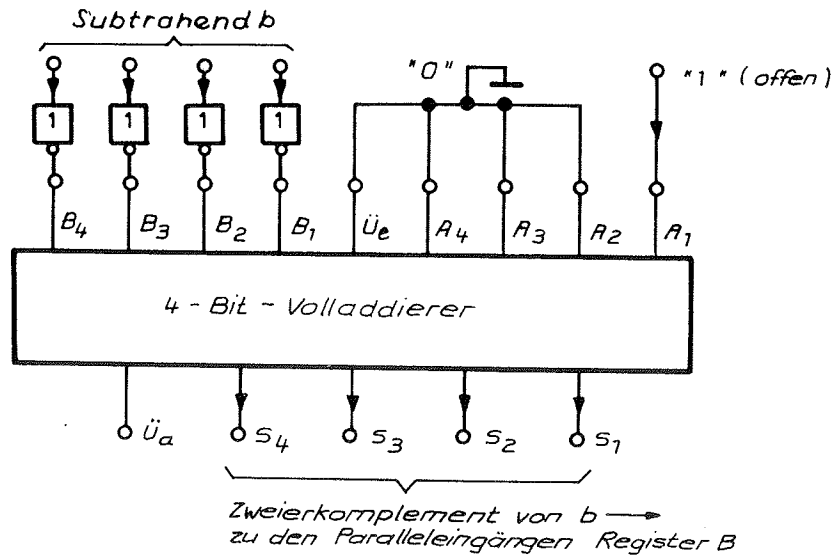
Die Differenz  $D$  wird nun anstelle der Summe dem S.E.-Eingang des Registers B zugeführt. Der Volladdierer wird durch den oben gezeichneten Vollsubtrahierer ersetzt.

2. Schaltungsmöglichkeit

Hierbei wird ein Serienaddierwerk verwendet und anstelle des Subtrahenden das Zweierkomplement des Subtrahenden in das entsprechende Schieberegister parallel eingegeben, weil eine Subtraktion auf eine Addition des Zweierkomplements zurückgeführt werden kann.

$$a - b \quad a = \text{Minuend} ; \quad b = \text{Subtrahend}$$

Das Zweierkomplement erhält man durch Invertieren des Subtrahenden  $b$  (entspricht dem Einerkomplement) und Addition einer "1" zur niedrigsten Stelle. Dies läßt sich sehr einfach mit dem 4-Bit-Volladdierer durchführen (siehe auch S.117 Teil I). Der Borger  $C_n$  wird wiederum mit dem Flipflop  $FF_1$ , wie oben angegeben, gebildet.



5.3 Multiplikation von Dualzahlen

5.3.1 Multiplikation durch Addition und Stellenverschiebung

Beispiel:

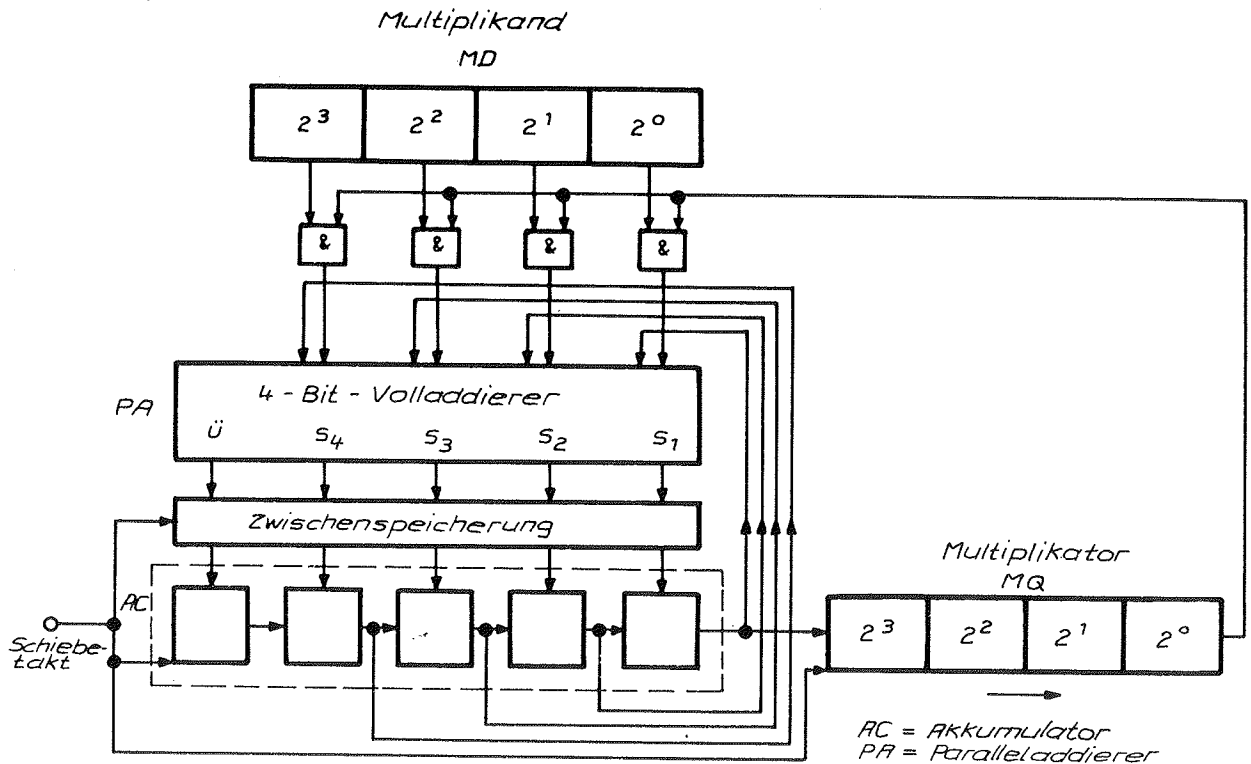
Multiplikand	Multiplikator	
1 1 0 1	x 1 0 1 0	(13 x 10 = 130)
0 0 0 0	←	13 ≙ 1101
+ 1 1 0 1	←	10 ≙ 1010
1 1 0 1 0		130 ≙ 1000010
+ 0 0 0 0	←	
1 1 0 1 0		
+ 1 1 0 1	←	
1 0 0 0 0 0 1 0		

Zwei Dualzahlen werden miteinander multipliziert, indem die Teilprodukte der einzelnen Dualstellen des Multiplikators stellenrichtig addiert werden, was besonders einfach ist, weil die Stellen des Multiplikators nur 0 oder 1 sein können. Ist der Multiplikator 1, so wird der Multiplikand stellenrichtig bis zur dahin gebildeten Teilproduktsumme addiert; ist er 0, so bleibt die Teilproduktsumme unverändert. Die stellenrichtige Addition wird durch Verschiebung um eine Stelle erreicht.

Da ein Volladdierer nur jeweils 2 Summanden addieren kann,

müssen entsprechende Zwischenadditionen durchgeführt werden.

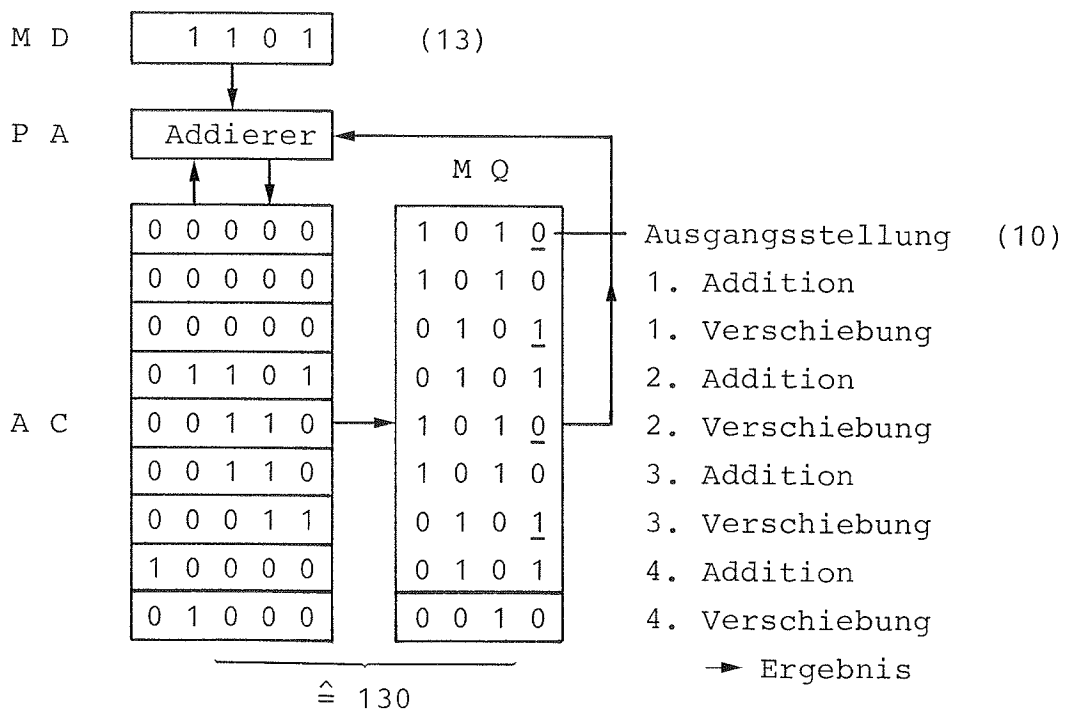
Prinzipschaltung:



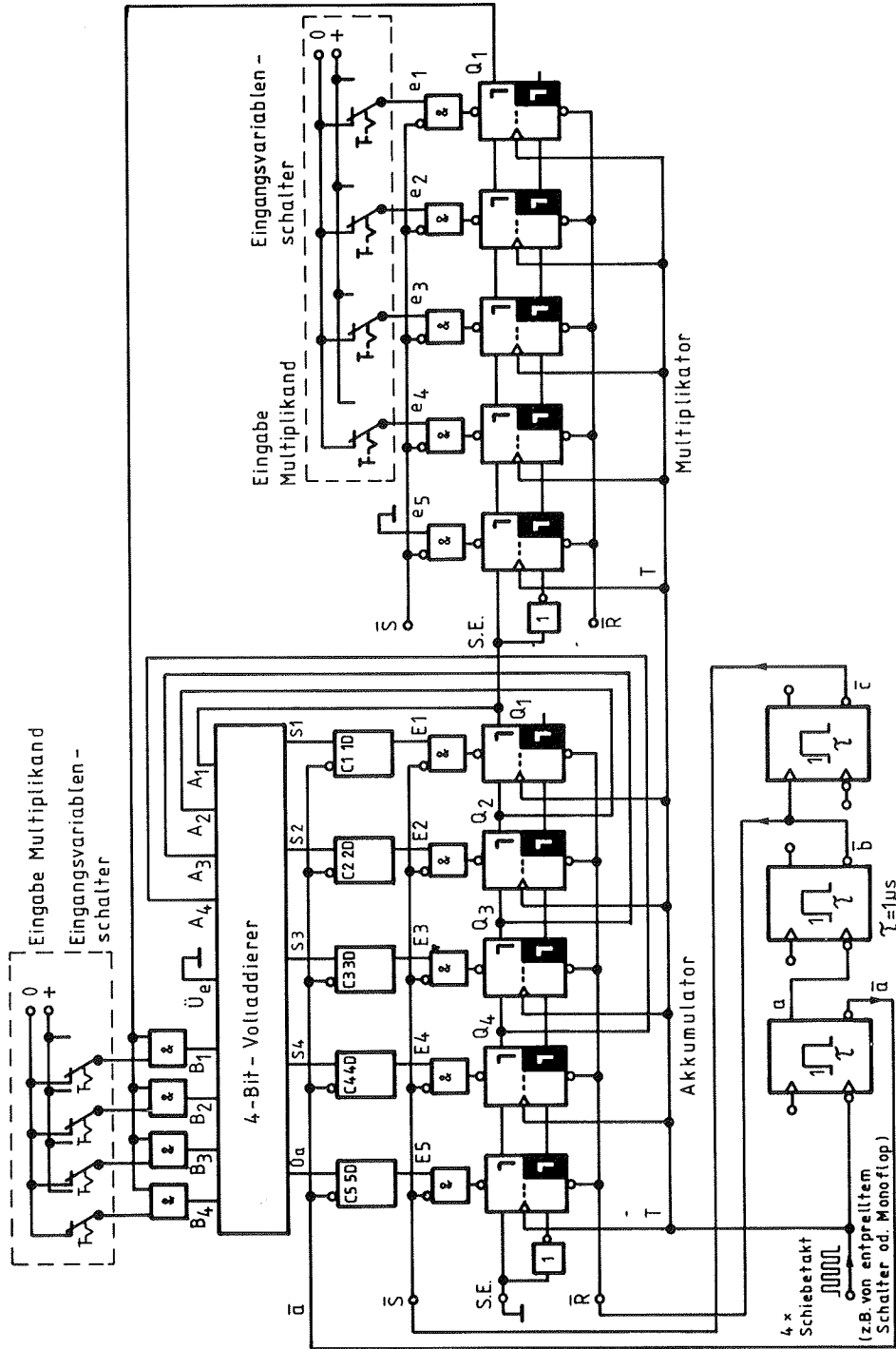
Wirkungsweise:

Akkumulator und Multiplikator-Register sind Schieberegister. Zu Beginn der Rechnung steht der Multiplikand im M D und der Multiplikator im M Q, und im Akkumulator steht überall 0. Es wird nun die niedrigste Dualstelle von M Q abgefragt. Ist diese Stelle "1", so werden durch diese "1" die Gatter geöffnet und der Inhalt vom M D mit dem Inhalt des Akkumulators (in diesem ersten Fall "0") addiert und anschließend die Summe wieder im Akkumulator zwischengespeichert. Diese Zwischenspeicherung darf aber erst beim nächsten Schiebetakt erfolgen, weil sonst bei einem Takt die Summe direkt vom Akkumulator erneut mit dem Inhalt vom M D-Register addiert würde usw., so daß jedesmal im Akkumulator 1 1 1 1 1 stehen würde. Ist die erste Dualstelle von M Q null, dann unterbleibt die Addition. Im nächsten Schritt werden, gesteuert durch den Schiebetakt, die Inhalte von A C und M Q gemeinsam um eine

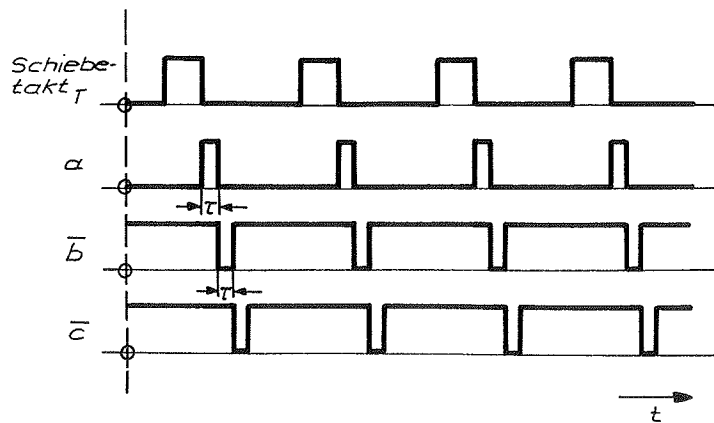
Stelle nach rechts verschoben, damit das nächste Produkt gebildet und stellenrichtig addiert werden kann. Es wiederholt sich dann im Addierwerk - durch die nächst höhere Multiplikatorstelle gesteuert, die durch die Rechtsverschiebung an den Ausgang von M Q gerückt ist - der gleiche Vorgang: zu der im A C enthaltenen Zwischenaddition wird entsprechend der neuen Multiplikatorstelle der Multiplikand addiert oder nicht. Die Multiplikation ist beendet, wenn die höchste Stelle in M Q herausgeschoben ist. Bei Dualzahlen mit n Dualstellen sind also n Schiebetakte erforderlich. Da das Resultat immer 2n Dualstellen umfaßt, der Akkumulator aber nur n + 1 Stellen hat (eine Stelle mehr wegen Übertrag der letzten Stelle), muß das Resultat im Akkumulator und im M Q-Register abgespeichert werden. Das ist möglich, da je Schiebetakt links im M Q ein Speicherplatz frei wird. Das nachfolgende Beispiel veranschaulicht einen geschlossenen Funktionsablauf der Multiplikation 13 x 10:



Mit dem Digital-Trainer, Typ 3510 F, realisierbare Schaltung:



Die drei Monoflops erzeugen zwei gegenüber dem Schiebektakt T verzögerte Signale. Der Impuls  $\bar{a}$  übernimmt nach dem Schiebektakt das neue Ergebnis des Volladdierers in den Zwischenspeicher (5 D-Flipflops). Danach kann das Schieberegister (= Akkumulator) durch den Impuls  $\bar{b}$  gelöscht werden und anschließend die im Zwischenspeicher abgespeicherte neue Zwischensumme durch  $\bar{c}$  in den Akkumulator wieder übernommen werden.



5.3.2 Multiplikation durch fortgesetzte Addition

Der Multiplikand a wird hierbei b-mal aufaddiert.

$$a \times b ; \quad b = \text{Multiplikator}$$

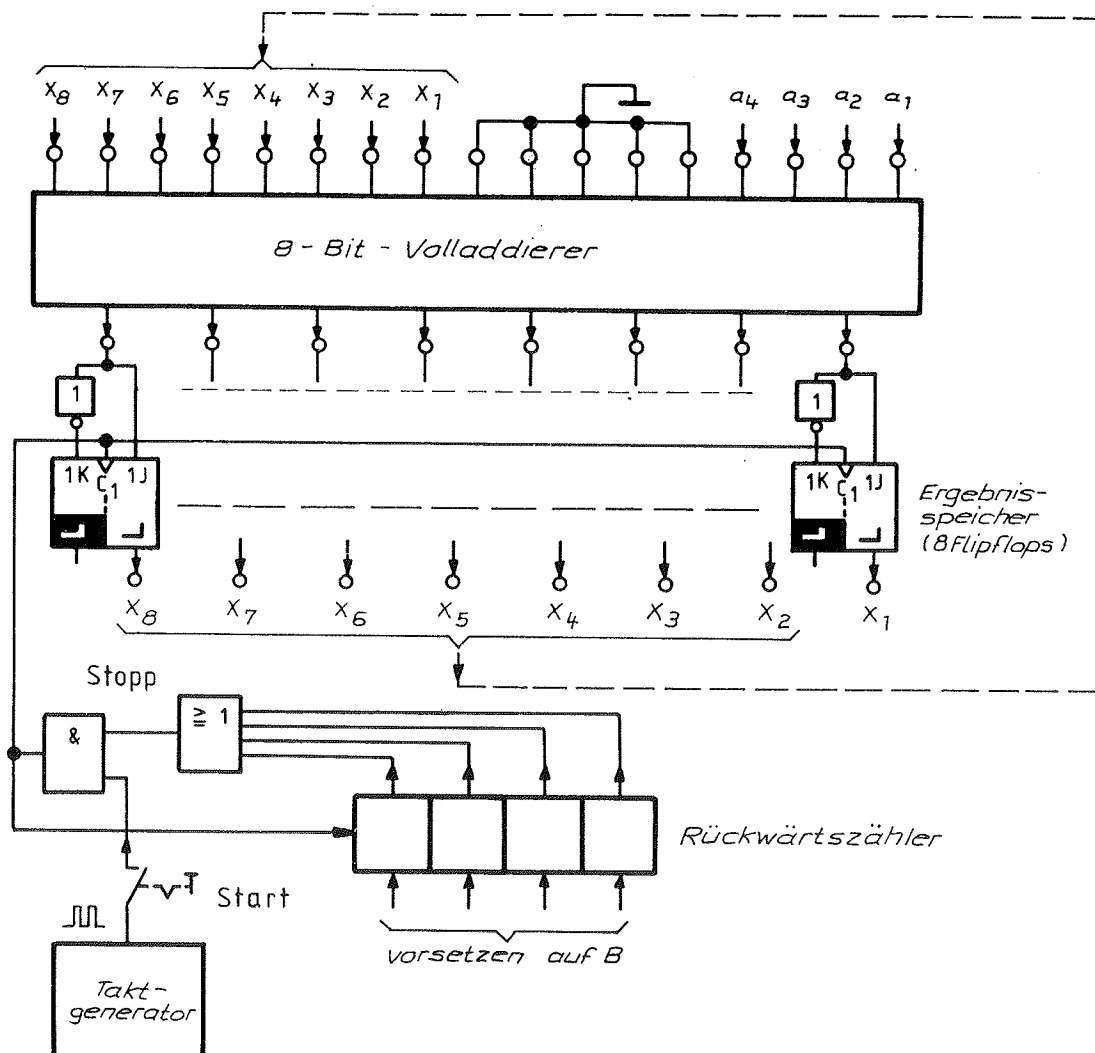
Beispiel:

$$a = 13 ; \quad b = 4$$

$$13 \hat{=} 1101$$

1 1 0 1	
+ 0 0 0 0	1. Addition
1 1 0 1	
+ 1 1 0 1	2. Addition
1 1 0 1 0	
+ 1 1 0 1	3. Addition
1 0 0 1 1 1	
+ 1 1 0 1	4. Addition
1 1 0 1 0 0	Ergebnis

$$52 \hat{=}$$

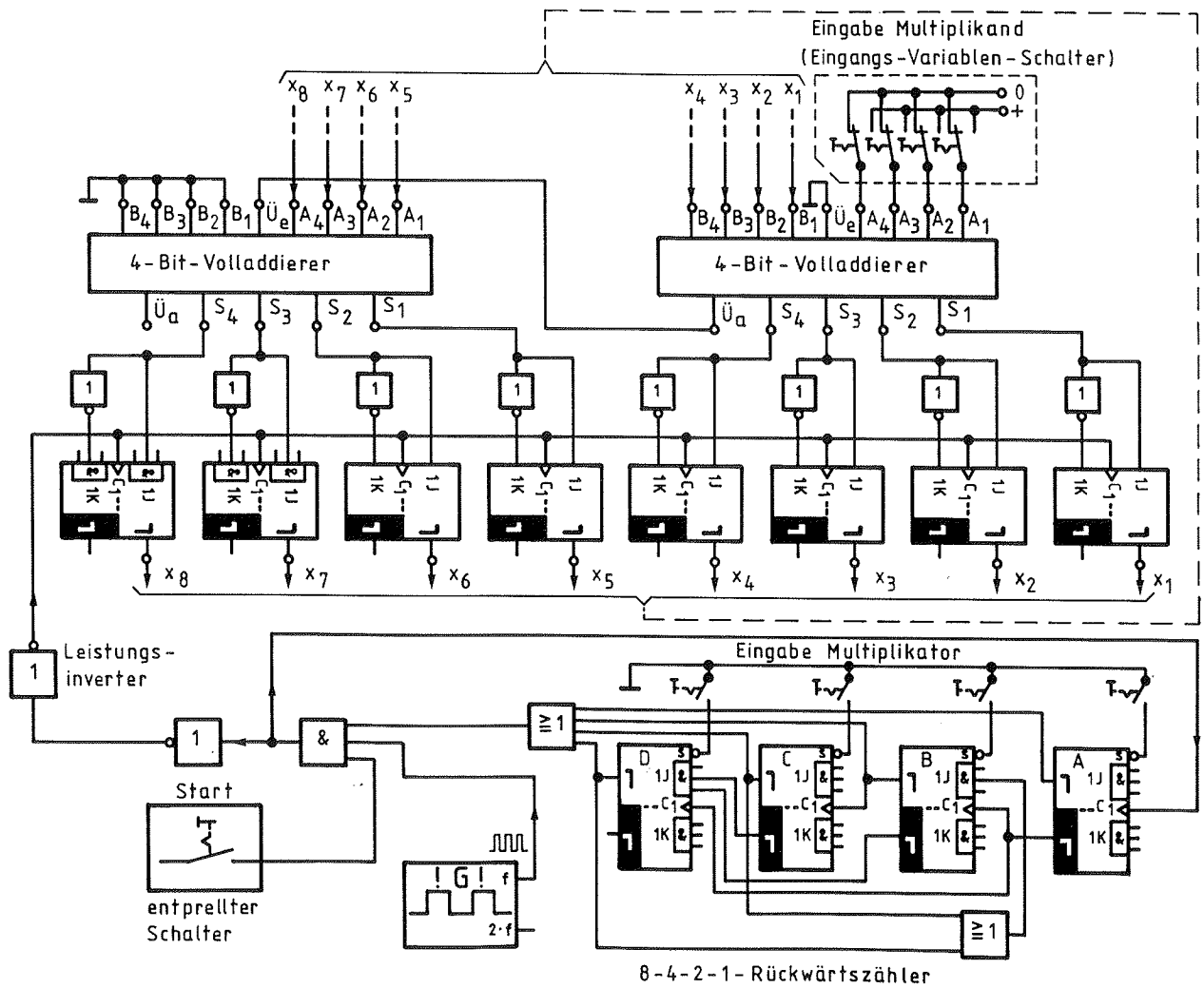
Prinzipschaltung:Wirkungsweise:

Vor Beginn der Rechnung werden die Flipflops der Ergebnis-speicher  $x_1 \dots x_8$  gelöscht und der Rückwärtszähler auf den dualen Wert des Multiplikators vorge-setzt. An 4 Eingängen des 8-Bit-Volladdierers liegt der duale Wert des Multiplikanden. Am Ausgang des Addierers erscheint ebenfalls der Multiplikand, da die Ausgänge  $x_1 \dots x_8$  der Flipflops den Wert 0 hatten. Bei der positiven Flanke des Taktimpulses wird die Information am Ausgang des Summierers übernommen und mit der negativen Flanke wieder dem Addierer zugeführt, der direkt erneut die Summe bildet. Dieser Vorgang wiederholt sich, bis der auf den Wert B vorge-setzte Rückwärtszähler



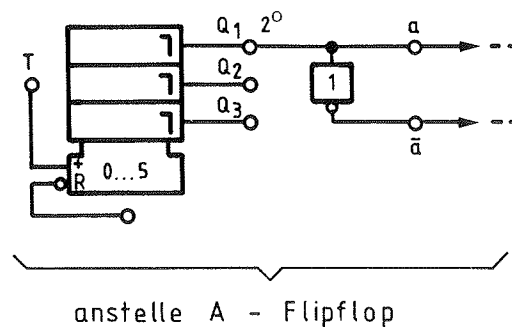
auf allen Speicherplätzen "0" hat. Über das ODER-Gatter wird der Takt zu den Flipflops  $X_1 \dots X_8$  gestoppt und das Ergebnis kann dem Ergebnisspeicher entnommen werden. Ein 8-Bit-Volladdierer ist bei der Multiplikation von zwei 4-stelligen-Dualzahlen nötig, weil das Ergebnis bis zu 8 Stellen aufweisen kann. (z.B.  $15 \times 15 = 225 \hat{=} 1\ 1\ 1\ 0\ 0\ 0\ 1$ ). Der Nachteil dieses Verfahrens liegt in der langen Rechenzeit.

Mit dem Digital-Trainer, Typ 3510 F, ausführbare Schaltung:



Der 8-4-2-1 Rückwärtszähler mit den Flipflops A, B, C, D, ist auf S.91 beschrieben.

Insgesamt werden 12 Flipflops benötigt. Da nur 11 Flipflops direkt vorhanden sind, muß das A-Flipflop des Rückwärtszählers durch das 1. Flipflop des 1 : 6-Untersetzers ersetzt werden. Es kann jedoch nicht über einen Schalter, sondern nur über einen Einzeltakt gesetzt werden.



#### 5.4 Fehlererkennungsschaltung eines Codewortes mit Parity-Check (Quersummenbildung)

(Parity = Gleichheit, Check = Prüfung)

Eine häufig angewandte, einfache Methode zur Sicherung eines Codes gegen auftretende Fehler besteht darin, dem eigentlichen Codewort ein zusätzliches Bit hinzuzufügen. Mit diesem sog. Parity-Bit wird die Quersumme des neuen Codewortes gerade oder ungerade. Man spricht von geradem oder ungeradem Parity-Check.

Als Beispiel soll der 8-4-2-1-BCD-Code mit Parity-Bit angeführt werden. Diese Fehlerprüfung ist natürlich für alle Codes möglich.

Dez.	Inform.-stellen				Prüf-stelle y	Quer-summe	Dez.	Inform.-stellen				Prüf-stelle $\bar{y}$	Quer-summe
	d	c	b	a				d	c	b	a		
0	0	0	0	0	0	0	0	0	0	0	1	1	
1	0	0	0	1	1	2	1	0	0	0	1	1	
2	0	0	1	0	1	2	2	0	0	1	0	1	
3	0	0	1	1	0	0	3	0	0	1	1	3	
4	0	1	0	0	1	2	4	0	1	0	0	1	
5	0	1	0	1	0	2	5	0	1	0	1	3	
6	0	1	1	0	0	2	6	0	1	1	0	3	
7	0	1	1	1	1	4	7	0	1	1	1	3	
8	1	0	0	0	1	2	8	1	0	0	0	1	
9	1	0	0	1	0	2	9	1	0	0	1	3	

Code mit geradzahligem Gewicht (even)
 Code mit ungeradzahligem Gewicht (odd)

Durch das Parity-Bit kann ein Fehler erkannt aber nicht korrigiert werden. Die Fehlererkennung erfolgt wieder auf Kosten der Redundanz, da das Prüfbit keine Information enthält.

Ein Fehler ist korrigierbar durch diese Methode, wenn neben der besprochenen Zeilenprüfung durch das Längs-Parity-Bit eine Spaltenprüfung eines Codewort-Blocks mittels Quer-Parity-Bit durchgeführt wird.

a) Parallele Prüfung

Aufgabe 5 - 3:

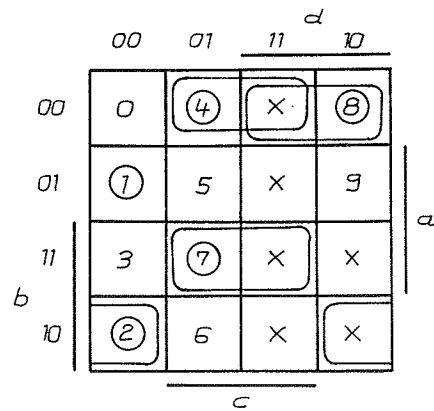
Man entwickle eine Schaltung, die parallel durch Gatter das Parity-Bit  $y^*$  des 8-4-2-1-BCD-Codes mit geradzahligem Gewicht bildet und die die Gleichheit zwischen  $y^*$  und der ankommenden Prüfstelle  $y$  überprüft.

Lösung 5 - 3:

Aus der Tabelle liest man ab:

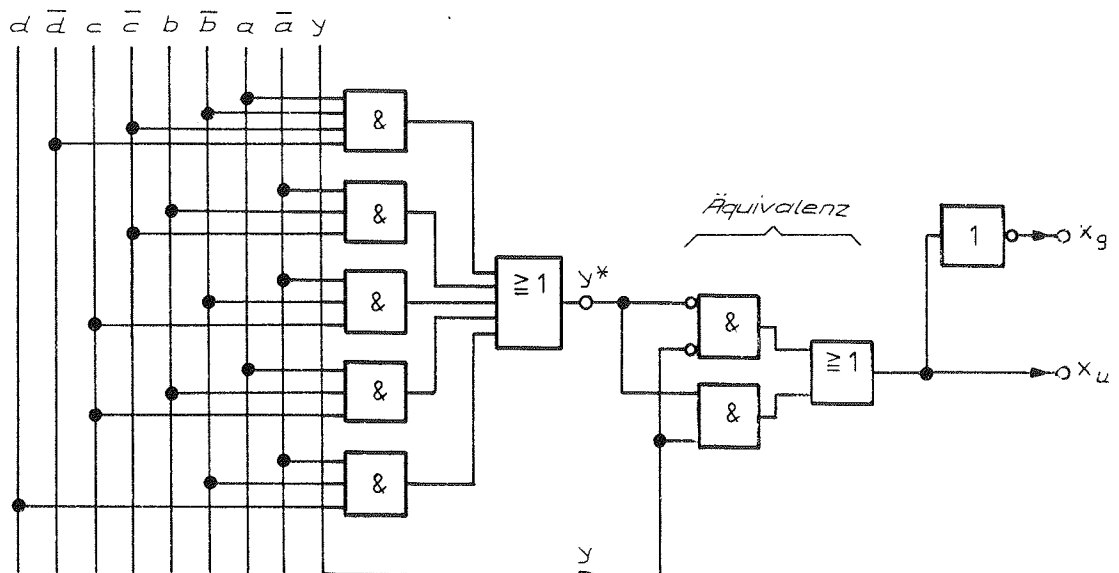
$$y^* = 1 + 2 + 4 + 7 + 8$$

Vereinfachung mit Karnaugh-Diagramm:



$$y^* = \bar{a}\bar{b}\bar{c}\bar{d} + \bar{a}\bar{b}\bar{c} + \bar{a}\bar{b}c + abc + \bar{a}\bar{b}d$$

Schaltung (Parallelvergleich)



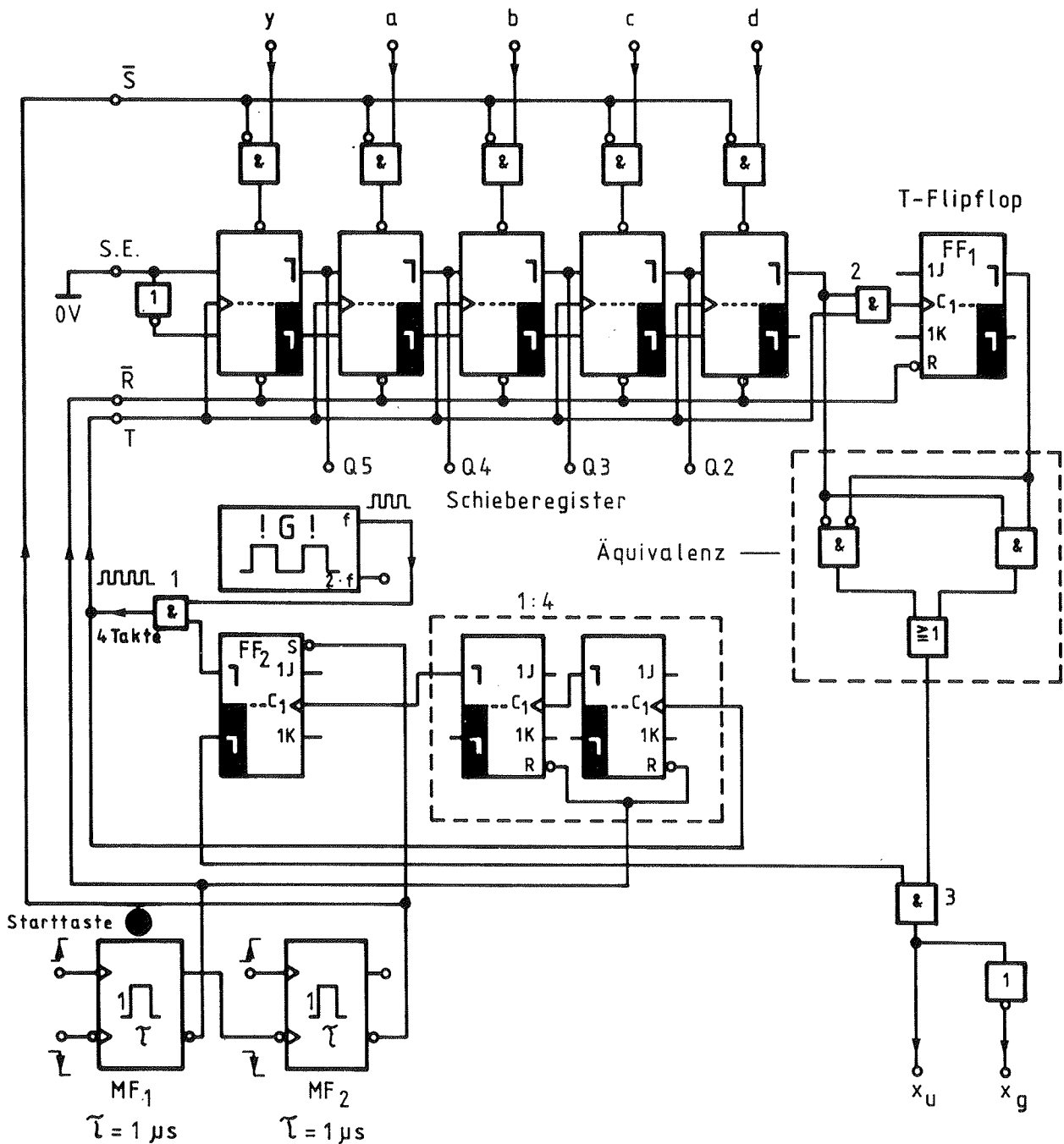
$x_g$  = Fehlersignal bei geradem Parity

$x_u$  = Fehlersignal bei ungeradem Parity

b) sequentielle Prüfung

Das statische Verfahren hat den Nachteil, daß die Schaltung nur für den zugrundegelegten Code funktioniert, die sequentielle Schaltung hingegen ist unabhängig vom gewählten Code. Es muß nur die maximale Anzahl der Binärstellen des Codewortes bekannt sein.

Mit dem Digital-Trainer, Typ 3510 F, realisierbare Schaltung:



### Wirkungsweise

Beim Betätigen der Starttaste des Monoflops  $MF_1$  (oder durch elektrische Auslösung) werden das Schieberegister, Flipflop  $FF_1$  und der 1 : 4-Untersetzer auf Null zurückgesetzt. Mit der negativen Flanke des Impulses von  $MF_1$  wird das Monoflop  $MF_2$  angestoßen, dessen Ausgangsimpuls das zu prüfende Codewort mit der Prüfstelle  $y$  in das Schieberegister parallel übernimmt. Gleichzeitig wird das Flipflop  $FF_2$  gesetzt. Dadurch wird das UND-Gatter 1 geöffnet und die Taktimpulse des Taktgenerators gelangen zum Schieberegister und zum 1 : 4-Untersetzer. Pro Takt wird das Codewort um eine Stelle nach rechts verschoben.

Erscheint eine Eins am Ausgang des Schieberegisters, wird das Flipflop  $FF_1$  (das als Toggelflipflop geschaltet ist) gesetzt und bei der nächsten Eins durch das UND-Gatter 2 und dem Takt wieder zurückgesetzt usw.

Nach 4 Taktimpulsen erscheint eine Eins am Ausgang des 1 : 4-Untersetzers, die das Flipflop  $FF_2$  zurücksetzt und über das UND-Gatter 1 die Impulse stoppt.

War die Quersumme gerade, ist am Q-Ausgang von  $FF_1$   $Q = 0$ , war sie ungerade, ist  $Q = 1$ . Da nach 4 Takten die Prüfstelle  $y$  an der letzten Stelle des Schieberegisters steht, kann sie mit dem Q-Ausgang von  $FF_1$  auf Äquivalenz verglichen werden. An den Ausgängen  $x_u$  und  $x_g$  wird angezeigt, ob ein Fehler im Codewort vorhanden ist. Das erfolgt am Ende des Prüfvorganges, weil erst dann das UND-Gatter 3 durch den  $\bar{Q}$ -Ausgang von  $FF_2$  durchlässig ist.

### 5.5 Erzeugung der Prüfstelle für Parity-Check durch Quersummenbildung

Es gelten die gleichen Überlegungen wie bei der Fehlererkennung eines Codewortes mit Parity-Check auf S.120

#### a) parallele Erzeugung

Als Beispiel sei der Exzeß-3-Code gewählt.

Tabelle

Dez.	Inform.- stellen				Prüf- stelle	Quer- summe	
	d	c	b	a	y		
0	0	0	1	1	0	2	
1	0	1	0	0	1	2	
2	0	1	0	1	0	2	y = gerades Parity- Bit
3	0	1	1	0	0	2	
4	0	1	1	1	1	4	$\bar{y}$ = ungerades Parity- Bit
5	1	0	0	0	1	2	
6	1	0	0	1	0	2	
7	1	0	1	0	0	2	
8	1	0	1	1	1	4	
9	1	1	0	0	0	2	

#### Aufgabe 5 - 4:

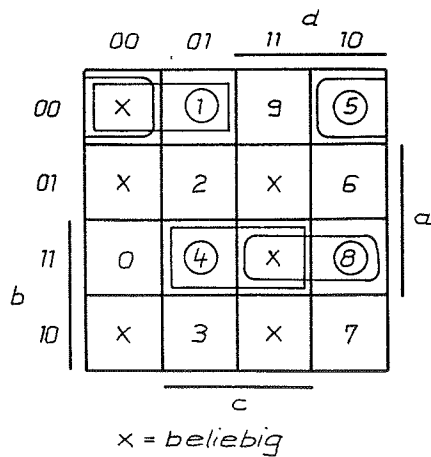
Man gebe eine logische Verknüpfung an, die für den Exzeß-3-Code das gerade Parity-Bit y bildet.

#### Lösung 5 - 4:

Aus der obigen Tabelle erhält man:

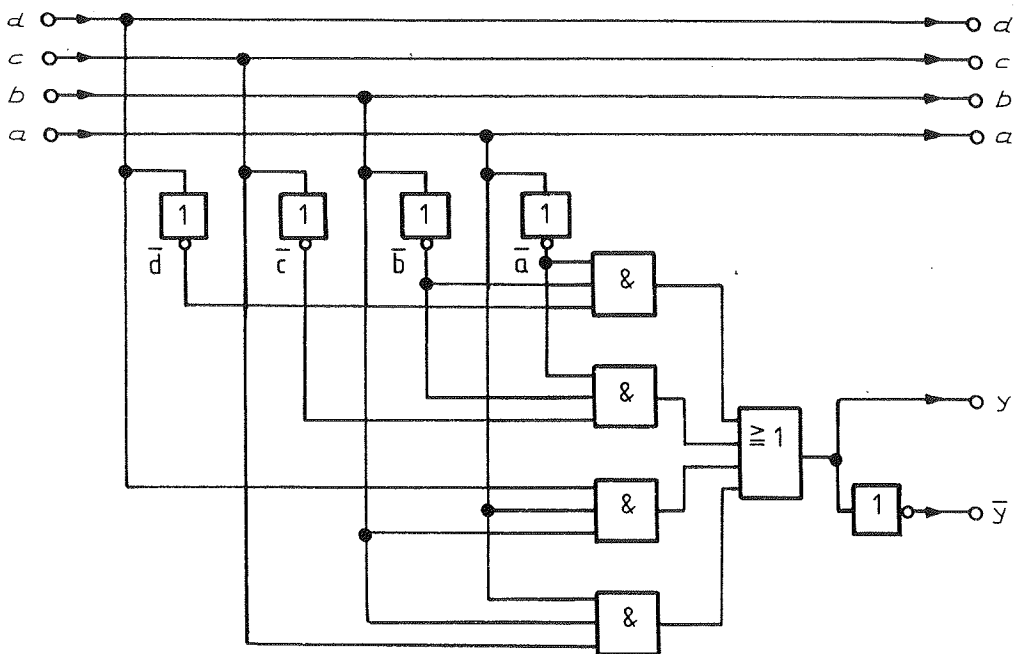
$$y = 1 + 4 + 5 + 8$$

Karnaugh-Diagramm zur Vereinfachung



$$y = \bar{a}\bar{b}\bar{d} + \bar{a}\bar{b}\bar{c} + abc + abd$$

Schaltung:



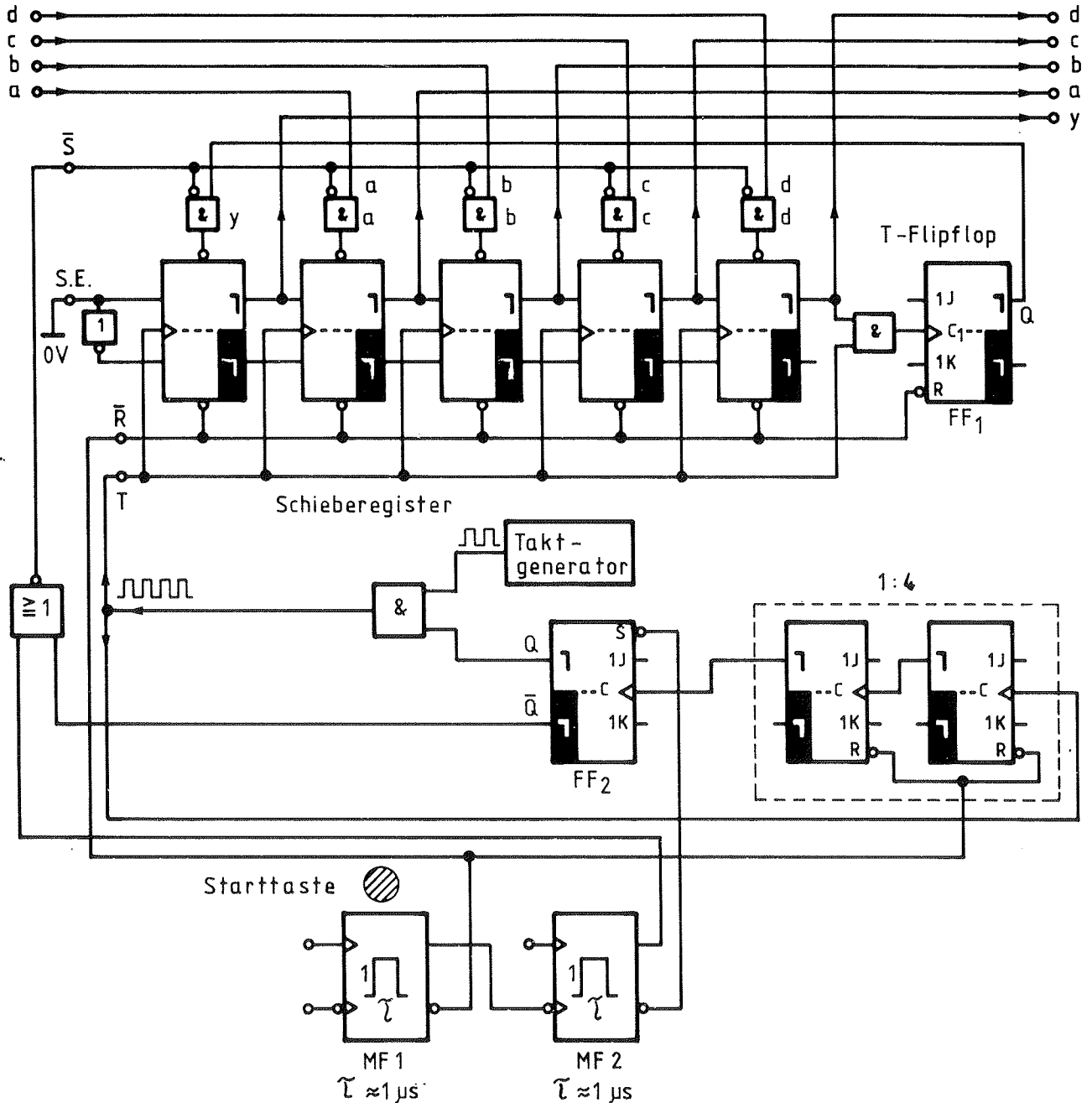
b) sequentielle Erzeugung

Auch hier gelten die gleichen Überlegungen wie bei der Fehlererkennung durch Parity-Check. Die Schaltung ist sehr ähnlich der Schaltung auf S.123.

Die Informationsstellen des Codewortes werden parallel in ein Schieberegister gegeben und seriell nach rechts verschoben. Dabei wird durch den Serienausgang ein T-Flipflop getriggert. Nach Beendigung des Schiebevorgangs kann am Q-Ausgang dieses Flipflops das Parity-Bit abgegriffen werden.



Mit dem Digital-Trainer, Typ 3510 F, ausführbare Schaltung:



Wirkungsweise:

Beim Betätigen der Startttaste wird durch MF<sub>1</sub> alles auf Null zurückgesetzt und anschließend durch MF<sub>2</sub> FF<sub>2</sub> gesetzt (Q = 1). Dadurch gelangen vier Taktimpulse auf das Schieberegister und den 1 : 4-Untersetzer. FF<sub>1</sub> wird von den "Einsen" aus dem Schieberegister getoggelt. Mit der Rückflanke des 4. Impulses wird FF<sub>2</sub> zurückgesetzt und die Taktimpulse durch das UND-Glied gesperrt. Gleichzeitig wird wegen Q = 1 von FF<sub>2</sub> der Ausgang des NOR-Gliedes null und über-

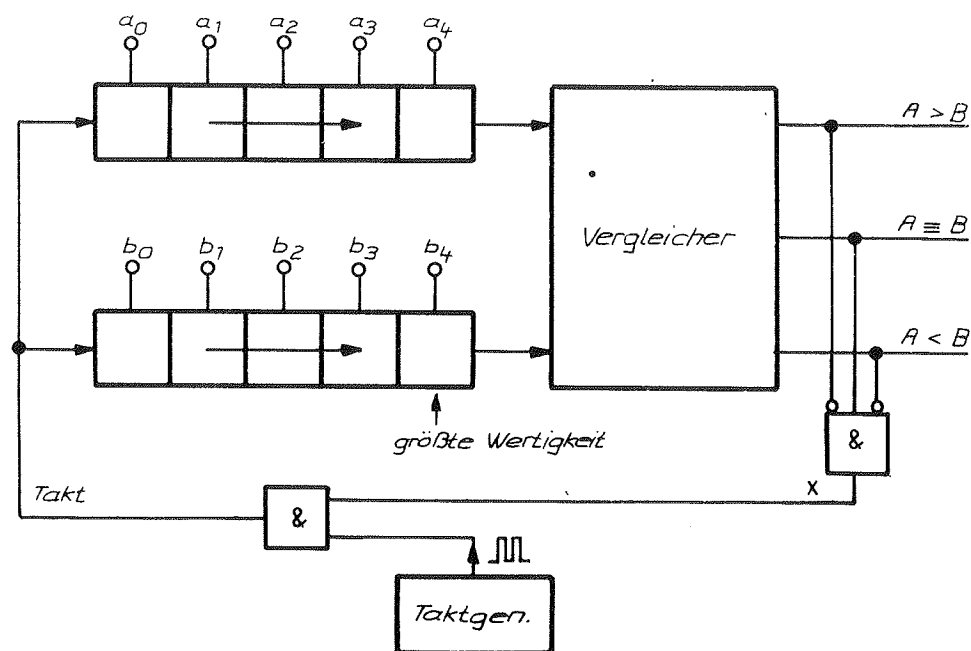
nimmt das Codewort  $abcd$  mit der am Q-Ausgang von  $FF_1$  anstehenden Prüfstelle  $y$  parallel in das Schieberegister. Das Codewort mit Prüfstelle steht nun parallel an den Ausgängen des Schieberegisters zur Verfügung.

### 5.6 Vergleicherschaltung zweier Dualzahlen durch Serienvergleich

Auf S.159 Teil I ist eine Schaltung beschrieben worden, die zwei 2-stellige Dualzahlen parallel vergleicht. Das zugehörige Verknüpfungsnetzwerk ist schon recht aufwendig und würde noch umfangreicher, wenn die Stellenzahl größer wäre.

Für mehrere Dualstellen ist die serielle, sequentielle Lösung vorteilhafter. Das Prinzip wird in dem nachfolgenden Bild erkennbar.

#### Prinzipschaltung



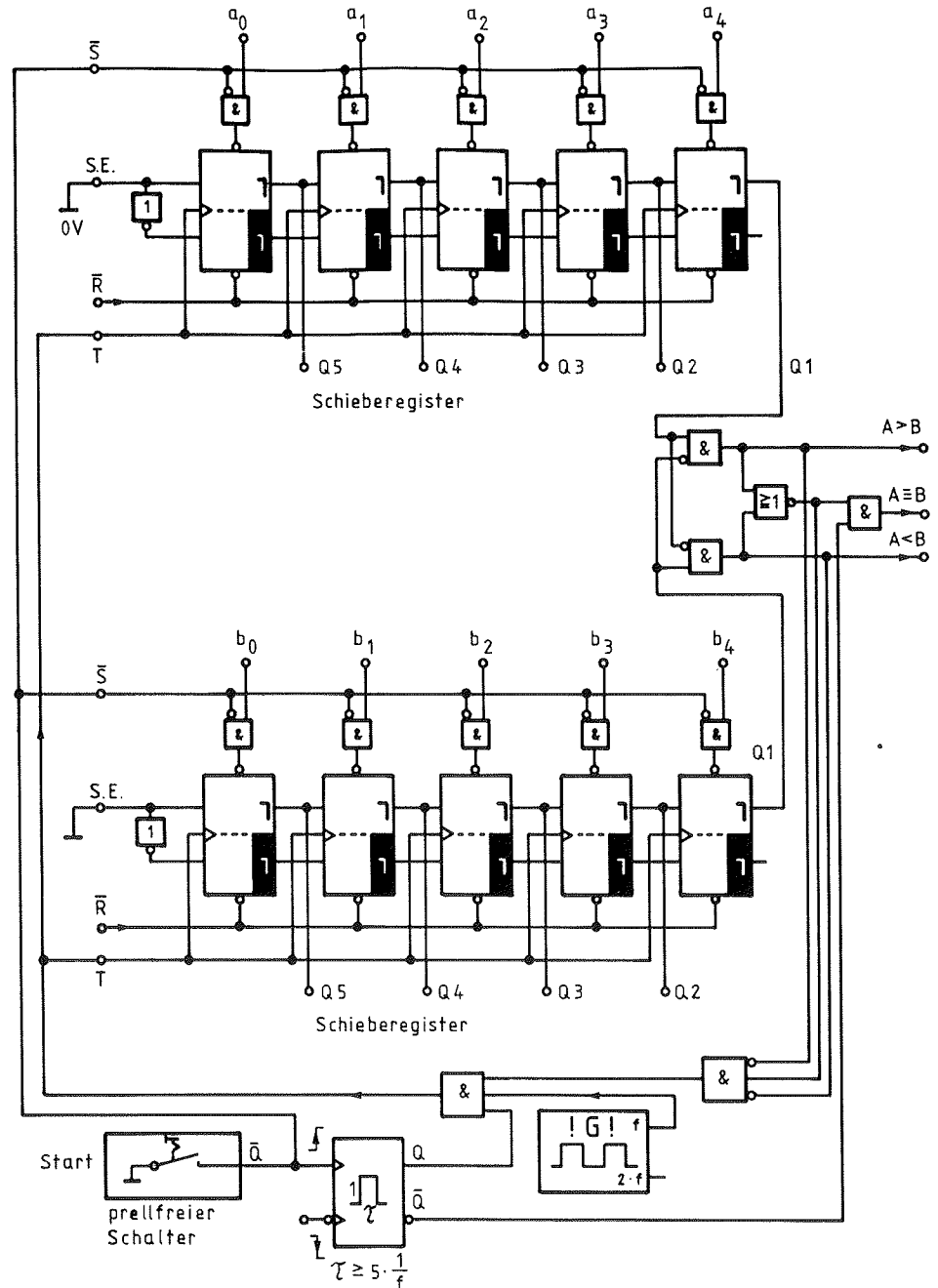
### Wirkungsweise

Die zu vergleichenden Dualzahlen  $a_0 a_1 a_2 a_3 a_4$  und  $b_0 b_1 b_2 b_3 b_4$  werden parallel in die beiden Schieberegister gegeben. Die jeweils letzten Stellen mit der höchsten Wertigkeit der Register werden verglichen.

Bei  $a_4 > b_4$  oder  $a_4 < b_4$  ist direkt eindeutig, daß die duale Zahl  $a > b$  bzw.  $a < b$  ist. In diesem Fall kann der Takt durch das UND-Glied gestoppt werden ( $X = 0$ ). Ist jedoch  $a_4 \equiv b_4$ , wird der Inhalt um eine Stelle nach rechts weitergetaktet und der Vergleich beginnt mit der zweithöchsten Stelle von neuem. Dieser Vorgang wiederholt sich so lange, bis bei einer Dualstelle  $a_n \neq b_n$  ist ( $n = 0 \dots 4$ ). Diese Schaltung funktioniert für beliebig lange Dualstellen, wenn entsprechende Schieberegister benutzt werden sowie für Codeworte derjenigen Codes, die mit steigender Bitstelle eine steigende Wertigkeit dieser Stelle aufweisen.

### Aufgabe 5 - 5:

Aus der Prinzipschaltung ist eine Anordnung zu entwickeln, die mit vorhandenen Baugruppen im Digital-Trainer, Typ 3510 F oder Digital-Experimenter, Typ 3505 D, einen funktionsfähigen Vergleich ermöglicht.

Lösung 5 - 5:Wirkungsweise

Beim Betätigen der prellfreien Starttaste ( $\bar{Q}$ -Ausgang) werden die zu vergleichenden Dualzahlen A und B parallel in die Schieberegister übernommen. Beim Loslassen der Taste wird das Monoflop ausgelöst und gibt den Takt frei. Dann folgt der Vergleich wie beschrieben. Nach etwa 5 Taktimpulsen wird das UND-Glied durch das Monoflop gesperrt. Gleichzeitig wird der Ausgang ( $A \equiv B$ ) durch den  $\bar{Q}$ -Ausgang des Monoflops freigegeben, da hier erst nach Ende des Vergleichs das richtige Ergebnis vorliegt.

6. IMPULSFLANKEN-VERZÖGERUNG, SYNCHRONISIER-SCHALTUNGEN, IMPULSTORE

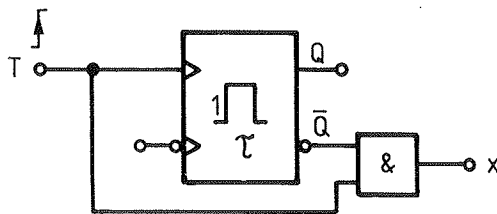
6.1 Impulsflankenverzögerung

Aufgabe 6 - 1:

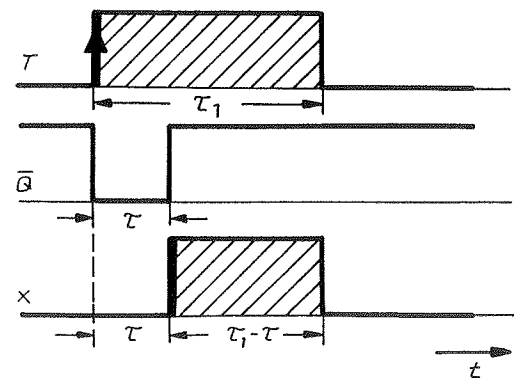
Unter Verwendung eines Monoflops soll die Vorderflanke eines Impulses um die Zeit  $\tau$  verzögert werden.

Lösung 6 - 1:

Verzögerung der Vorderflanke um die Zeit  $\tau$



Impulsdiagramm



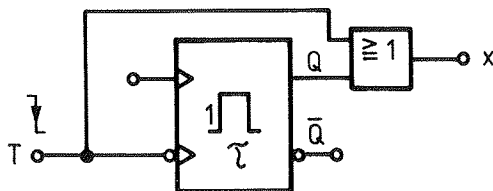
Bedingung  $\tau_1 > \tau$

Aufgabe 6 - 2:

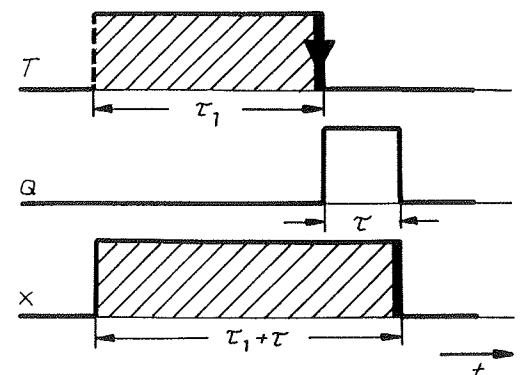
Mittels monostabiler Kippstufe soll die Rückflanke eines Impulses um die Zeit  $\tau$  verzögert werden.

Lösung 6 - 2:

Verzögerung der Rückflanke um die Zeit  $\tau$



Impulsdiagramm

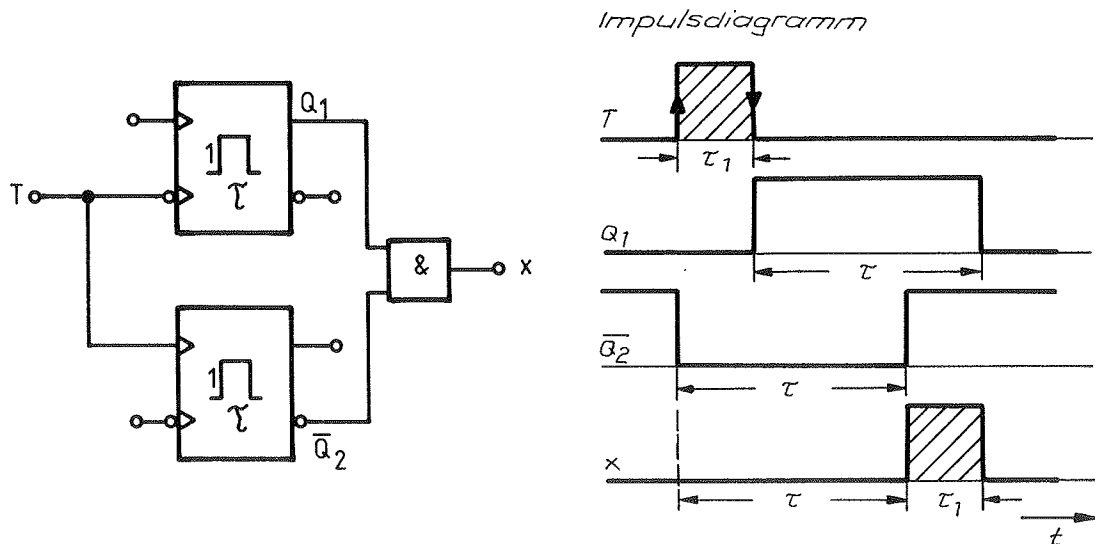


Aufgabe 6 - 3:

Durch zwei Monoflops ist ein Impuls vollständig um die Zeit  $\tau$  zu verzögern.

Lösung 6 - 3:

Verzögerung eines Impulses um die Zeit  $\tau$  mittels Monoflops

6.2 Synchronisier-Schaltungen6.2.1 Allgemeines

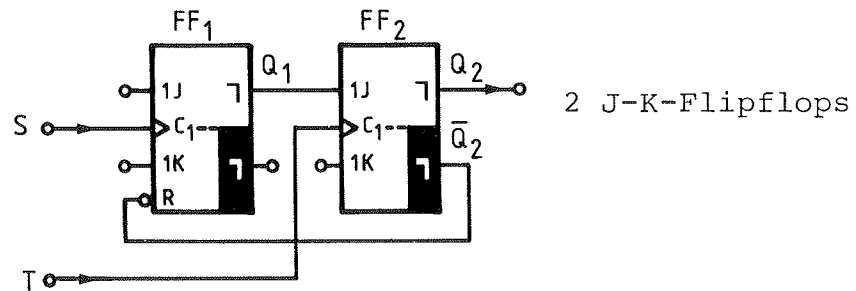
Bei einer taktgesteuerten Schaltung ist Voraussetzung, daß alle Signale innerhalb dieser Schaltung sich nur nach dem Steuersprung des Taktes ändern dürfen und während der Zeit, in der das Taktsignal gleich Eins ist, einen konstanten Wert annehmen. Aus diesem Grund ist es erforderlich, alle von außen kommenden Signale so umzuformen, daß auch für sie die Bedingung erfüllt ist. Einen solchen Umformungsvorgang nennt man "synchronisieren".

### 6.2.2 Schaltungsbeispiele

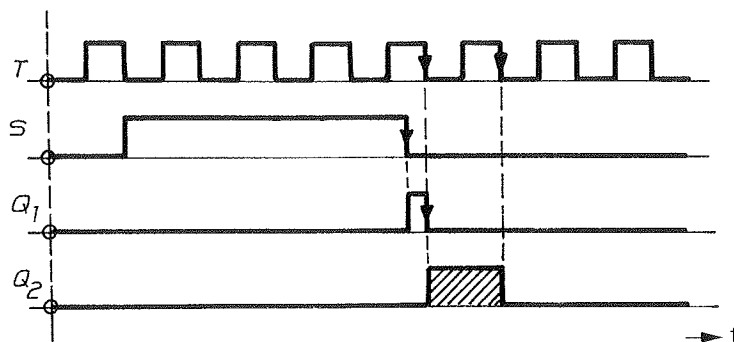
#### I. Erzeugung eines taktsynchronen Impulses:

Hier soll ein Beispiel betrachtet werden, bei dem, ausgelöst durch den Steuersprung eines externen Signals  $s$ , ein taktsynchroner Puls von der Länge einer Taktzeit erzeugt wird.

#### Schaltung:



Die Arbeitsweise dieser Schaltung läßt sich am besten anhand des Impulsdiagrammes erklären:

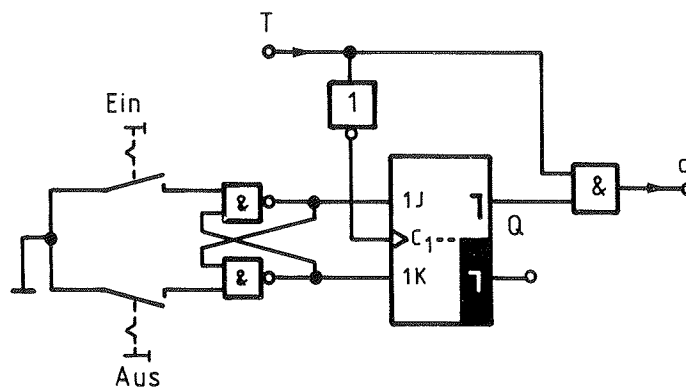
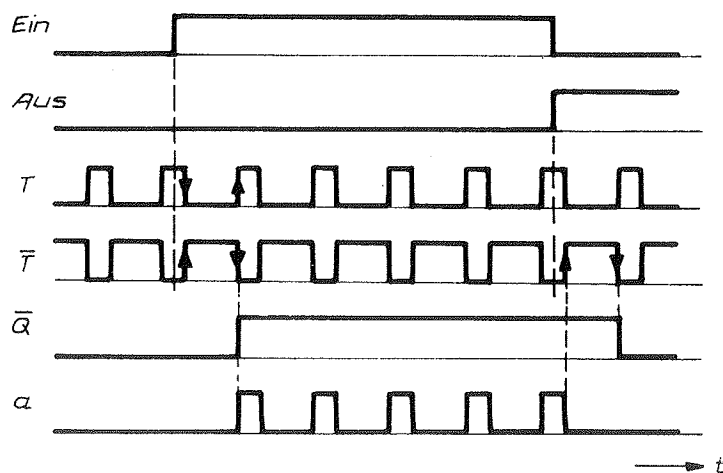


Mit dem negativen Steuersprung des zu synchronisierenden externen Signals  $s$  wird das Flipflop  $FF_1$  gesetzt. Der Setzeingang von Flipflop  $FF_2$  ist nun mit Eins belegt ( $J = 1$ ), so daß beim nächsten negativen Steuersprung des Taktes  $T$   $FF_2$  gesetzt ist. Dadurch springt das Signal  $\overline{Q_2}$  am Rücksetzausgang des Flipflops  $FF_2$  von 1 auf 0 und setzt über den statischen Rücksetzeingang  $\overline{R}$  das Flipflop  $FF_1$  zurück.  $FF_2$  wird mit dem nächsten Taktimpuls auch zurückgesetzt. Am Flipflop  $FF_2$  kann also das synchronisierte Signal  $Q_2$  abgenommen werden.

## II. Erzeugung einer unverstümmelten Impulsfolge:

Bei Anlagen mit Taktfrequenzen besteht häufig die Notwendigkeit, einen Vorgang synchron mit dem Taktimpuls anlaufen zu lassen, damit keine verstümmelten Taktimpulse in die Anlage gelangen. Die nachfolgende Schaltung zeigt ein Impulstor, wie es sich besonders für Schalterbetätigung eignet, weil in dieser Schaltung das Prellen der Kontakte keinen störenden Einfluß hat.

### Schaltung:



Die beiden rückgekoppelten NANDs entprellen die Taster. Bei Betätigung der Ein-Taste liegt am J-Eingang des J-K-Master-Slave-Flipflops eine "1" und am K-Eingang eine "0". Bei der nächsten negativen Flanke des Taktes T wird die Information an J übernommen und mit der folgenden positiven Flanke von T an den Ausgang Q weitergegeben. Das UND-Gatter ist nun geöffnet und die Takt-



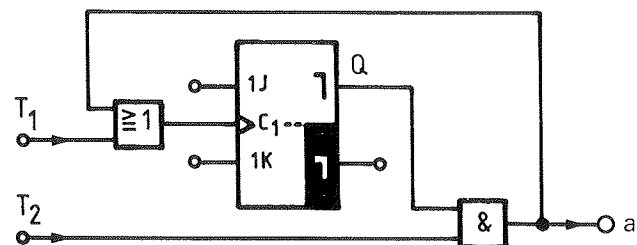
impulse gelangen zum Ausgang a. Wird die Aus-Taste betätigt, ist  $J = 0$  und  $K = 1$ , so daß dieser Zustand anschließend mit der negativen Flanke von T eingespeichert wird und mit der nächsten positiven Flanke an Q erscheint. Nun ist das UND-Glied gesperrt und es gelangen keine Impulse mehr zum Ausgang. Die Besonderheit dieser Schaltung ist, daß sowohl der erste Impuls wie auch der letzte Impuls der Taktimpulsfolge (ausgelöst von "Ein" und gestoppt durch "Aus") nicht verstümmelt ist.

### 6.3 Impulstore

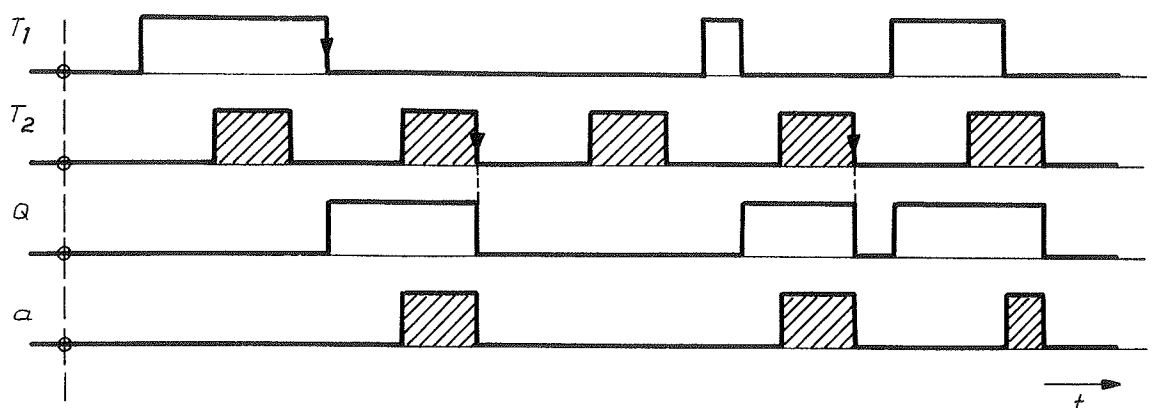
#### 6.3.1 Schaltungsbeispiele

I. Dieses Impulstor läßt nur dann einen Impuls  $T_2$  passieren, wenn vorher ein Impuls  $T_1$  vorhanden war.

Schaltung:



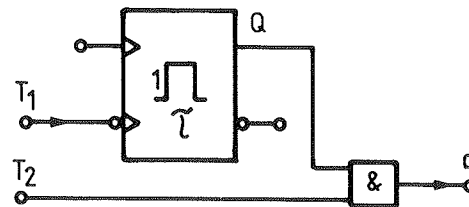
Impulsdiagramm:



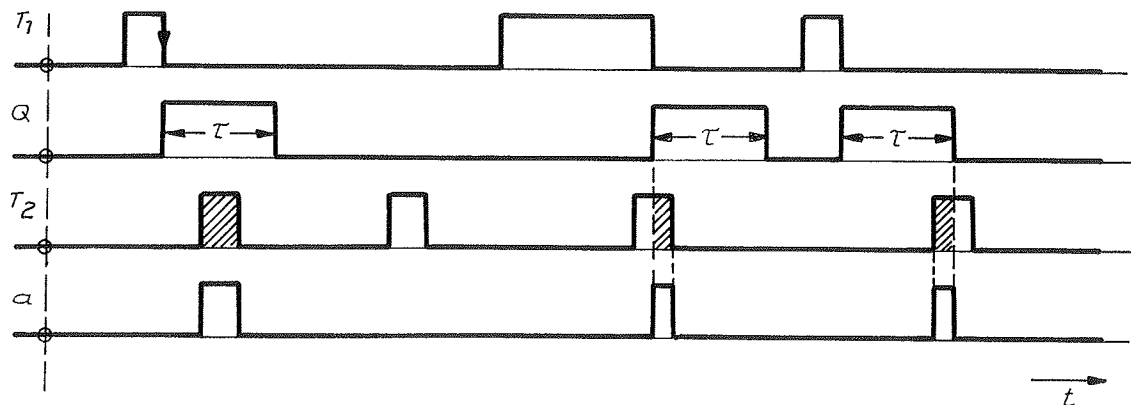
Die negative Rückflanke vom Impuls  $T_1$  öffnet das UND-Gatter wegen  $Q = 1$ , so daß ein Impuls  $T_2$  zum Ausgang gelangen kann. Die Rückflanke dieses Impulses  $T_2$  setzt gleichzeitig das Flipflop zurück. Erst wenn ein weiterer Impuls  $T_1$  das Flipflop setzt, kann der nächste Impuls  $T_2$  zum Ausgang gelangen. Liegt der Impuls  $T_2$  teilweise innerhalb der Impulsdauer von  $T_1$ , dann erscheint am Ausgang  $a$  ein verkürzter Impuls.

II. Dieses Impulstor läßt nur innerhalb einer bestimmten Zeit  $\tau$  und nach Ende des Impulses  $T_1$  den Impuls  $T_2$  passieren.

Schaltung:



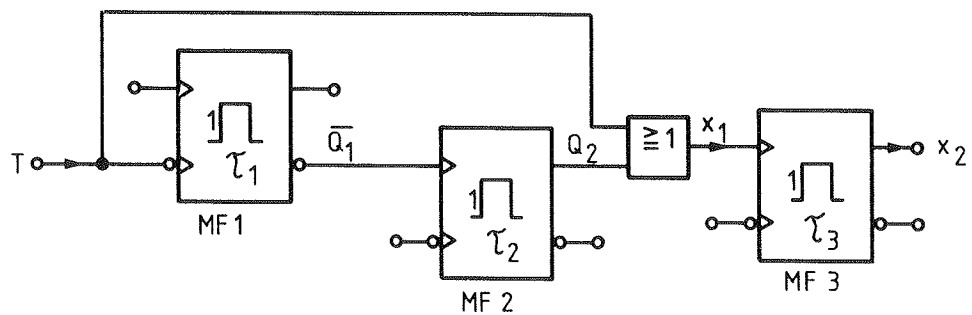
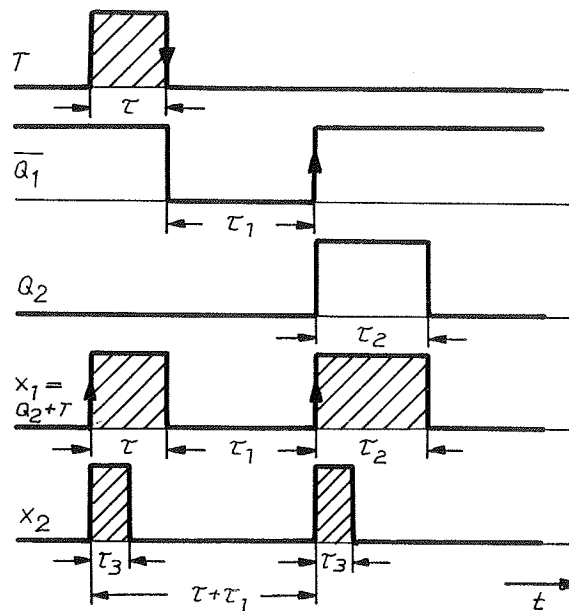
Impulsdiagramm:



Mit der abfallenden Flanke des Impulses  $T_1$  wird das Monoflop getriggert und liefert während der Zeit  $\tau$  am Ausgang  $Q$  ein Signal. Nur während dieser Zeit können Impulse  $T_2$  zum Ausgang  $a$  gelangen. Dieser Vorgang kann erst wieder nach Ende eines weiteren Impulses  $T_1$  von neuem beginnen.

7. VERSCHIEDENES7.1 Frequenzverdopplung durch Erzeugung eines DoppelimpulsesAufgabe 7 - 1:

Mittels zweier Monoflops ist eine Schaltung zu entwerfen, die einen ankommenden Impuls verdoppelt, so daß damit eine Frequenzverdopplung erreicht wird.

Lösung 7 - 1:Schaltung:Impulsdiagramm:

Sind die unterschiedlichen Impulsbreiten des Ausgangs  $x_1$  nicht wichtig (z.B. bei Frequenzverdopplung), dann kann das Monoflop MF<sub>3</sub> entfallen.

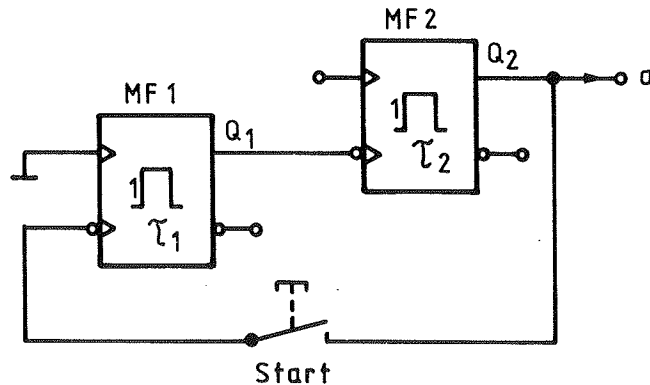
## 7.2 Taktgenerator mittels Monoflops

### Aufgabe 7 - 2:

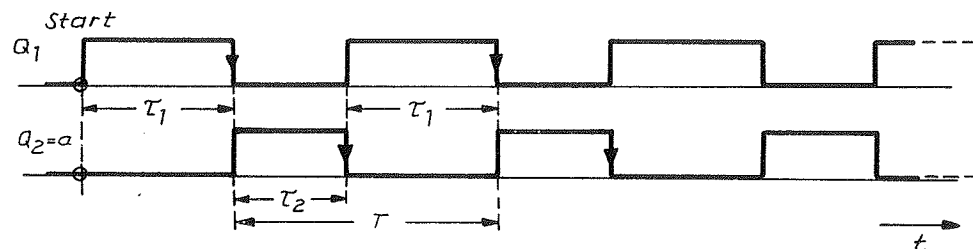
Es ist eine Schaltung mittels zweier Monoflops zu konzipieren, die am Ausgang kontinuierliche Rechteckimpulse liefert (Rechteckgenerator).

### Lösung 7 - 2:

#### Schaltung:



#### Impulsdiagramm:



#### Wirkungsweise:

Durch kurzes Betätigen der Starttaste liefert Monoflop MF<sub>1</sub> an  $Q_1$  einen Impuls der Breite  $\tau_1$ . Mit der negativen Flanke dieses Impulses wird Monoflop MF<sub>2</sub> getriggert. Am Ausgang  $a = Q_2$  steht während der Zeit  $\tau_2$  ein Impuls an, der mit seiner negativen Flanke wiederum Monoflop MF<sub>1</sub> triggert, so daß sich der Vorgang wiederholt.

Diese Schaltung schwingt nicht von alleine an. Deshalb muß durch die Starttaste der Generator "angeworfen" werden.

Die Periodendauer T der Rechteckschwingung beträgt:

$$T = \tau_1 + \tau_2$$

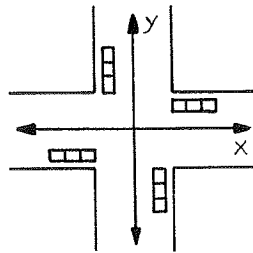
und die Frequenz

$$f = \frac{1}{T} = \frac{1}{\tau_1 + \tau_2}$$

### 7.3 Digitale Steuerung einer Ampelanlage

#### Aufgabe 7 - 3:

Ein nichttaktgesteuerter Dualzähler 0...15, bestehend aus den Flipflops A, B, C, D, soll die Ampelanlage einer Strassenkreuzung steuern.



Der Signalzyklus für die Richtung x besteht aus:

1 Schritt rotgelb, 4 Schritte grün, 1 Schritt gelb,  
10 Schritte rot usw. (siehe Diagramm)

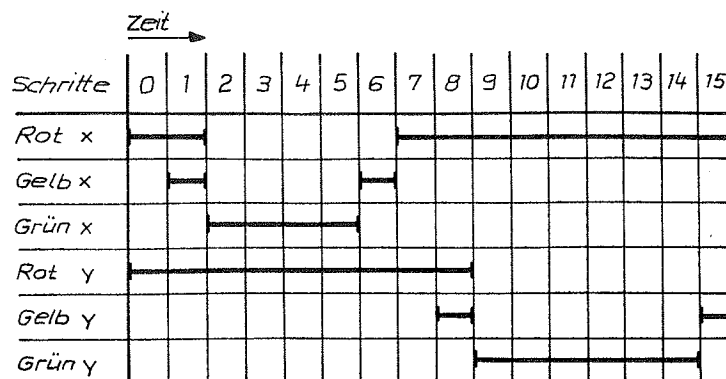
Signalzyklus für Querrichtung y:

1 Schritt rotgelb, 6 Schritte grün, 1 Schritt gelb,  
8 Schritte rot usw.

Bei den Zählerständen 0 und 7 sollen beide Fahrtrichtungen "rot" erhalten. Gesucht ist die minimale Schaltung für die Ansteuerung aller 6 Lampen als Funktion von a, b, c, d.

#### Lösung 7 - 3:

#### Ablaufdiagramm:



a	b	c	d	Schritte
0	0	0	0	0
1	0	0	0	1
0	1	0	0	2
1	1	0	0	3
0	0	1	0	4
1	0	1	0	5
0	1	1	0	6
1	1	1	0	7
0	0	0	1	8
1	0	0	1	9
0	1	0	1	10
1	1	0	1	11
0	0	1	1	12
1	0	1	1	13
0	1	1	1	14
1	1	1	1	15
0	0	0	0	0

Karnaugh-Diagramm X-Richtung:

		$\bar{a}$		$a$		
		00	01	11	10	
$\bar{c}$	00	0	2	3	1	$\bar{d}$
	01	8	10	11	9	-
	11	12	14	15	13	$d$
$c$	10	4	6	7	5	$\bar{d}$
		$\bar{b}$		$b$		

$$\text{rot } x = 0 + 1 + 7 + 8 + 9 + 10 + 11 + 12 + 13 + 14 + 15$$

$$\text{rot } x = \bar{d} + \bar{b}\bar{c} + abc$$

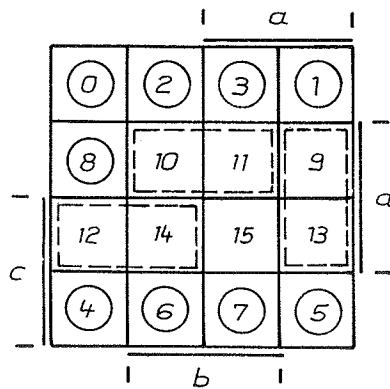
$$\text{gelb } x = 1 + 6;$$

$$\text{gelb } x = a\bar{b}\bar{c}\bar{d} + \bar{a}bc\bar{d}$$

$$\text{grün } x = 2 + 3 + 4 + 5;$$

$$\text{grün } x = b\bar{c}\bar{d} + \bar{b}c\bar{d}$$

Karnaugh-Diagramm in Y-Richtung:



$$\text{rot } y = 0 + 1 + 2 + 3 + 4 + 5 + 6 + 7 + 8$$

$$\text{rot } y = \bar{d} + \bar{a}\bar{b}\bar{c}$$

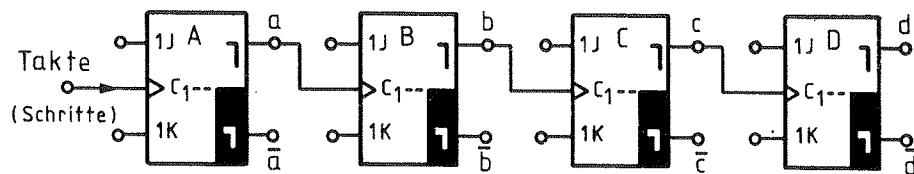
$$\text{gelb } y = 8 + 15$$

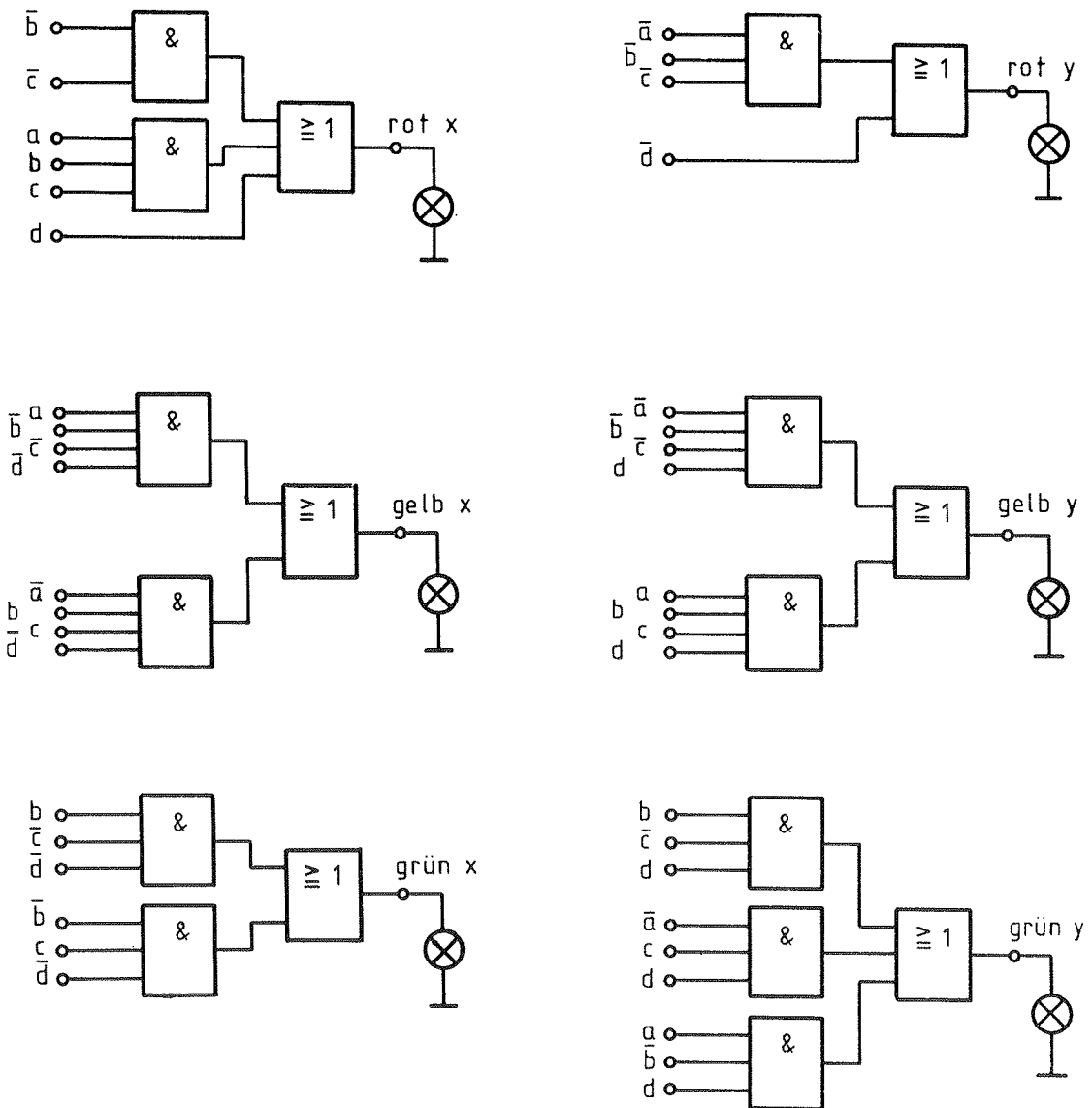
$$\text{gelb } y = \bar{a}\bar{b}\bar{c}d + abcd$$

$$\text{grün } y = 9 + 10 + 11 + 12 + 13 + 14$$

$$\text{grün } y = b\bar{c}d + \bar{a}cd + a\bar{b}d$$

Schaltung:





#### 7.4 Digitales Schrittschaltwerk

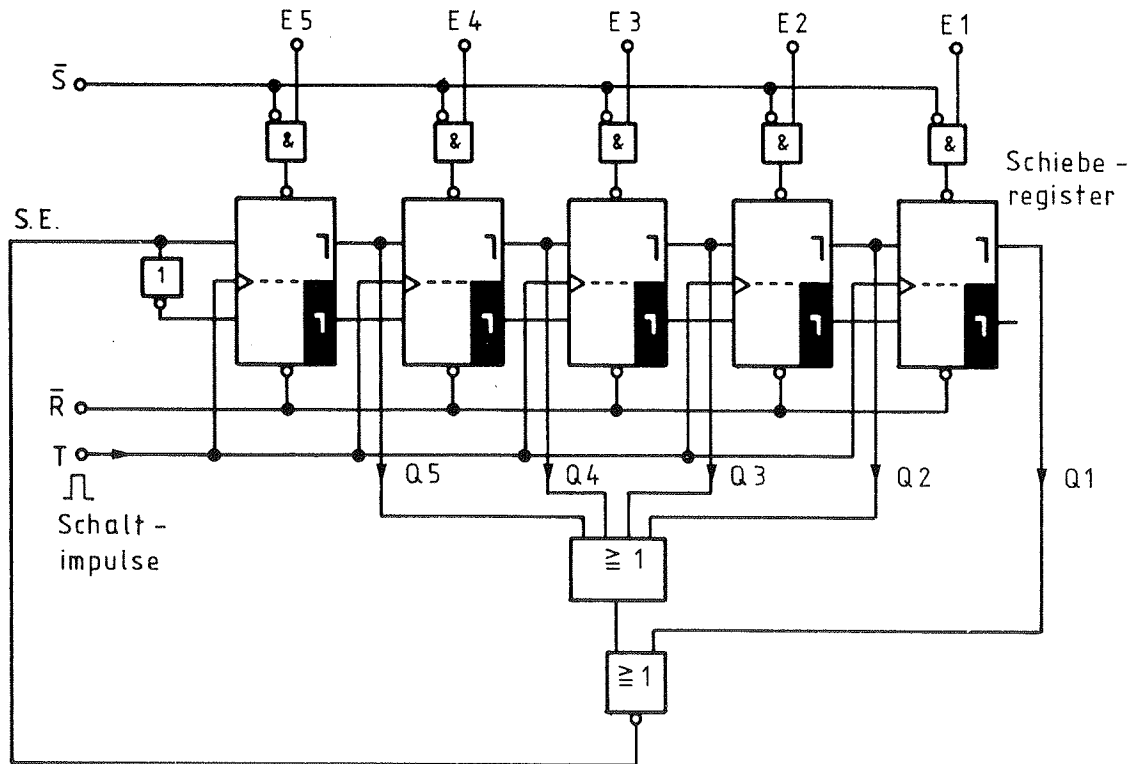
Schrittschaltwerke sind Einrichtungen, die durch Befehlsimpulse ein Ausgangssignal weiterschalten. Dazu gibt es 2 Arten:

- Bei jedem Schaltimpuls wird das Ausgangssignal von einem Ausgang zu dem nächstbenachbarten Ausgang weitergeschaltet.
- Bei jedem Impuls wird ein weiterer Ausgang zugeschaltet.

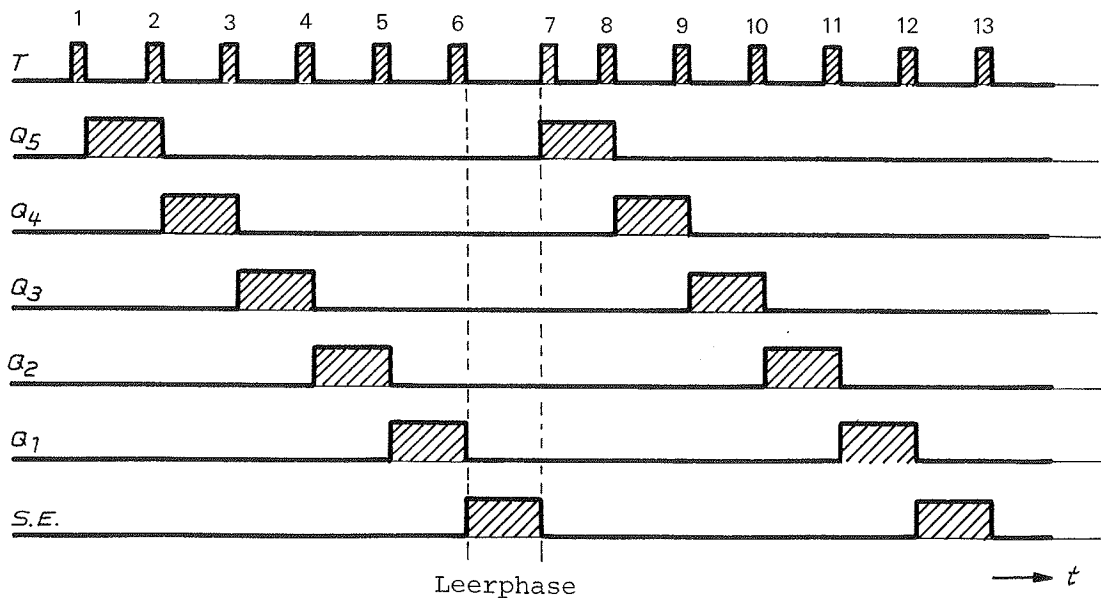


Schaltungsbeispiel zu a:

Realisierung mit Schieberegister



Impulsdiagramm:



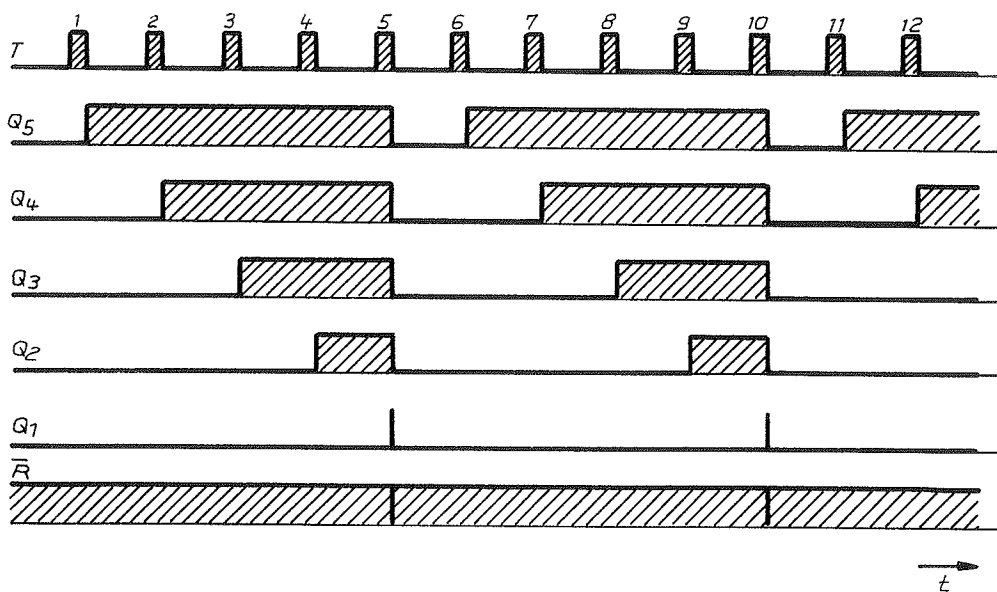
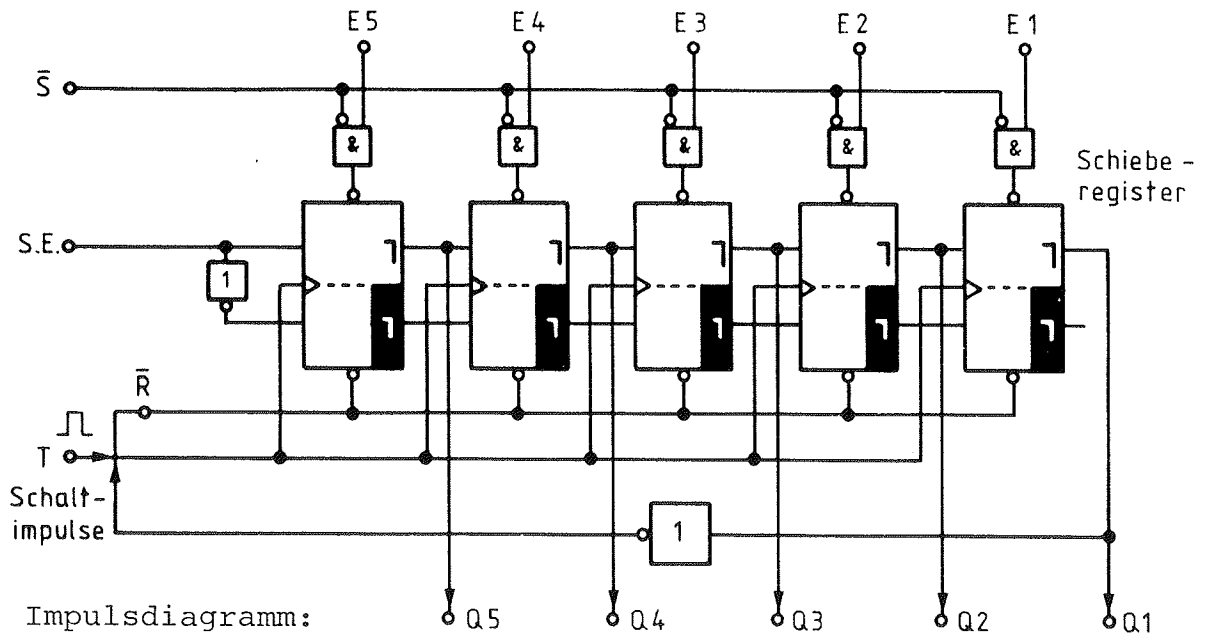
Die Schaltung kann mit dem vorhandenen Schieberegister ausgeführt werden. Für den Serieneingang S.E. gilt:

$$S.E. = \overline{Q_1 + Q_2 + Q_3 + Q_4 + Q_5}$$

Am Serieneingang liegt nur für  $Q_1 = Q_2 = Q_3 = Q_4 = Q_5 = 0$  eine Eins, die dann übernommen und weitergeschaltet wird.

Schaltungsbeispiel zu b:

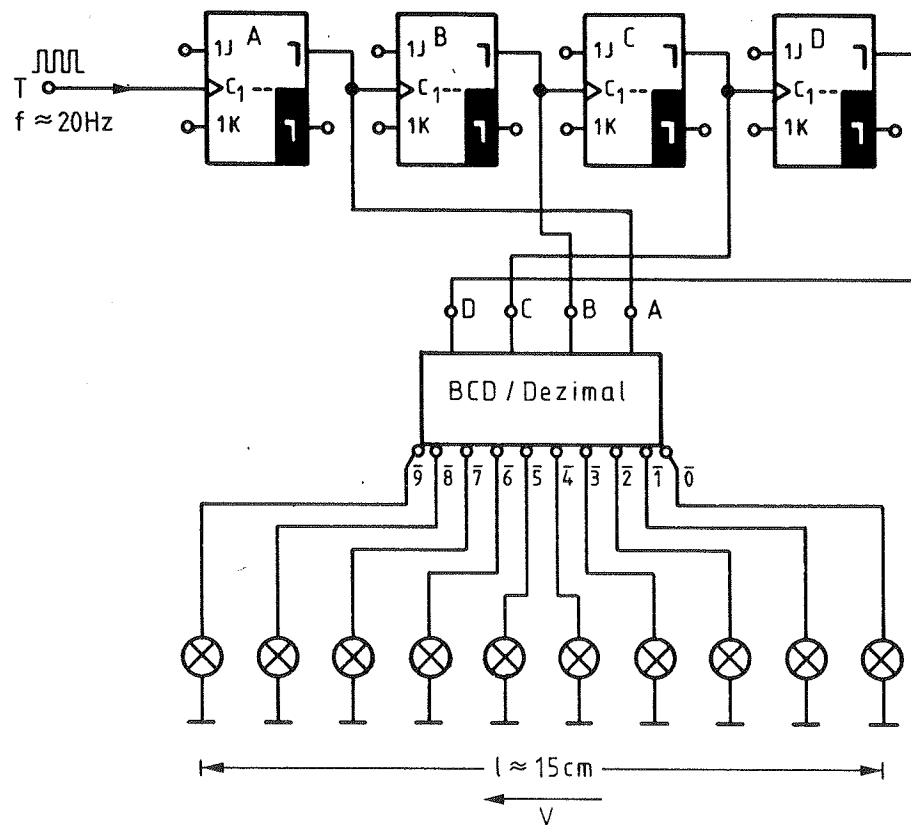
Realisierung mit Schieberegister



Am offenen Serieneingang S.E. des Schieberegisters werden pro Schaltimpuls "Einsen" eingeschoben und die "1" des vorherigen Flipflops von dem nachfolgenden Flipflop übernommen. Beim 5. Takt wird  $Q_1$  kurzfristig "1" und löscht über den Inverter an  $\bar{R} = 0$  das gesamte Register.

### 7.5 Landefeuer für einen Flughafen

Die Simulation eines Landefeuers als Orientierungshilfe für die Landebahn eines Flughafens kann mit folgender Schaltung nachgebildet werden:



#### Wirkungsweise:

Die vier hintereinandergeschalteten Flipflops bilden einen asynchronen Dualzähler, der von 0 ... 15 zählt. Der angeschlossene Decoder markiert den entsprechenden Ausgang mit Null (Leuchtdiode aus), dessen momentaner Dualcode gerade im Zähler steht. Alle anderen Ausgänge sind "1" (Leuchtdioden an). Wegen dem ständigen Durchlaufen des Zählers pflanzt sich optisch dieser Auszustand mit konstanter Geschwindigkeit von rechts nach links fort. Da die letzten 6 Dualkombinationen keinen Ausgang des Decoders anwählen, vergeht eine gewisse Zeit, bis der Ablauf von neuem beginnt ( $t \approx 0,3 \text{ s}$ ).

Fortpflanzungsgeschwindigkeit  $v$  bei  $l \approx 15 \text{ cm}$  und  $f \approx 20 \text{ Hz}$ :

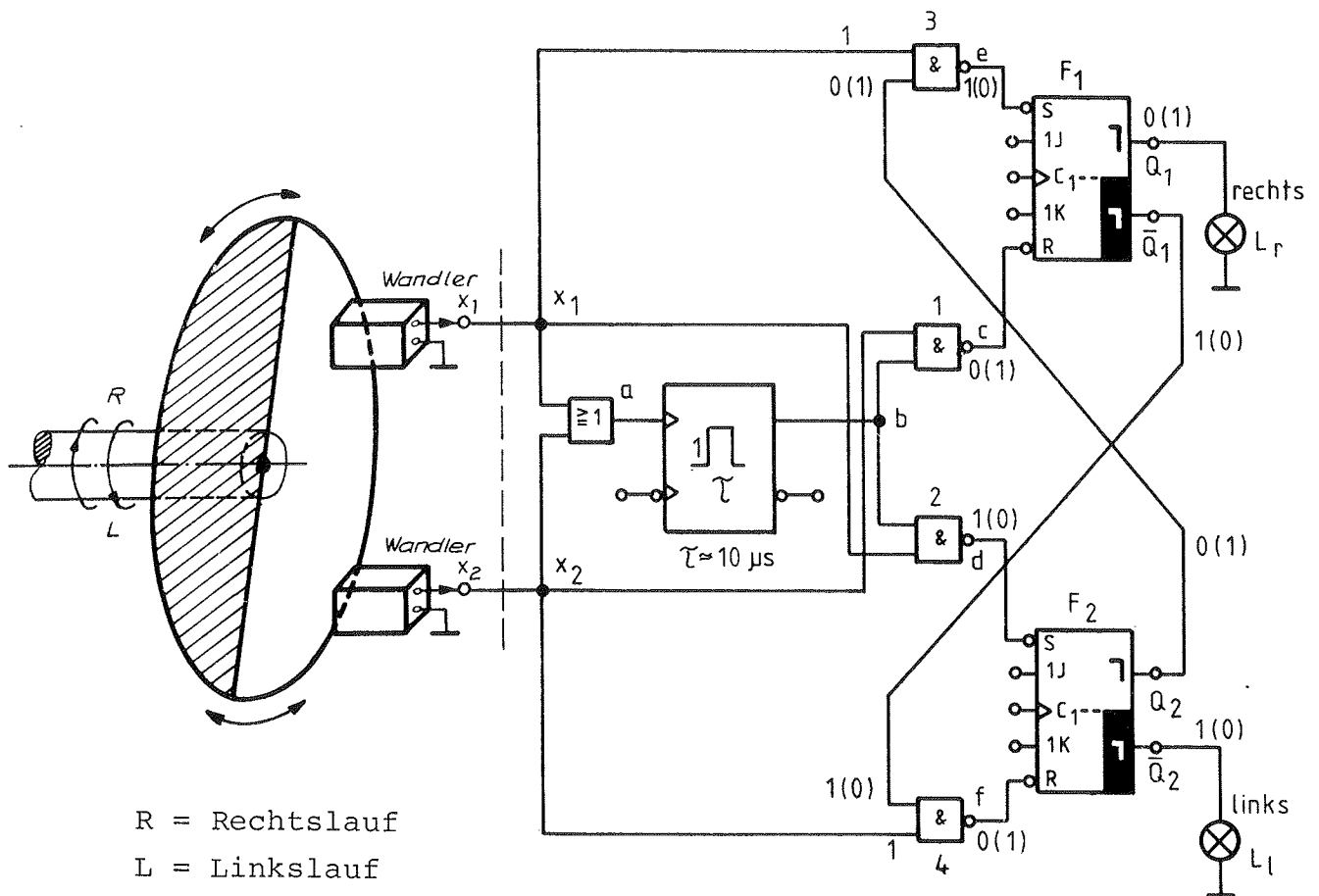
$$v = \frac{l}{t}; \quad t = 10 \cdot T = \frac{10}{f}$$

$$v = \frac{l \cdot f}{10} \quad v = \frac{15 \text{ cm} \cdot 20 \text{ s}^{-1}}{10}$$

$$v \approx 30 \text{ cm/s}$$

### 7.6 Anzeige der Drehrichtung einer Maschine

Die Richtungsanzeige einer Maschine kann digital wie folgt angezeigt werden:



R = Rechtslauf

L = Linkslauf

#### Wirkungsweise:

Die beiden Wandler (Initiatoren) formen eine Änderung des optischen, kapazitiven oder induktiven Zustandes der Drehscheibe in die elektrischen Signal  $x_1$  und  $x_2$  um.

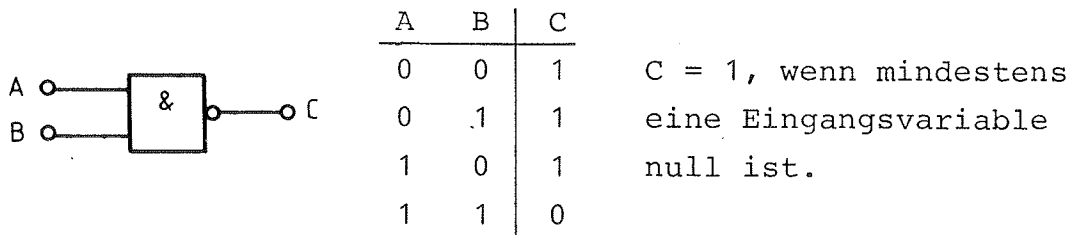
Bei Linksdrehung ist das Signal  $x_2$  vor  $x_1$  da, bei Rechtsdrehung umgekehrt.

Für die Gatter gilt:

$$a = X_1 + X_2 ; \quad c = \overline{b \cdot X_2} ; \quad d = \overline{b \cdot X_1}$$

$$e = \overline{X_1 \cdot Q_2} ; \quad f = \overline{X_2 \cdot Q_1}$$

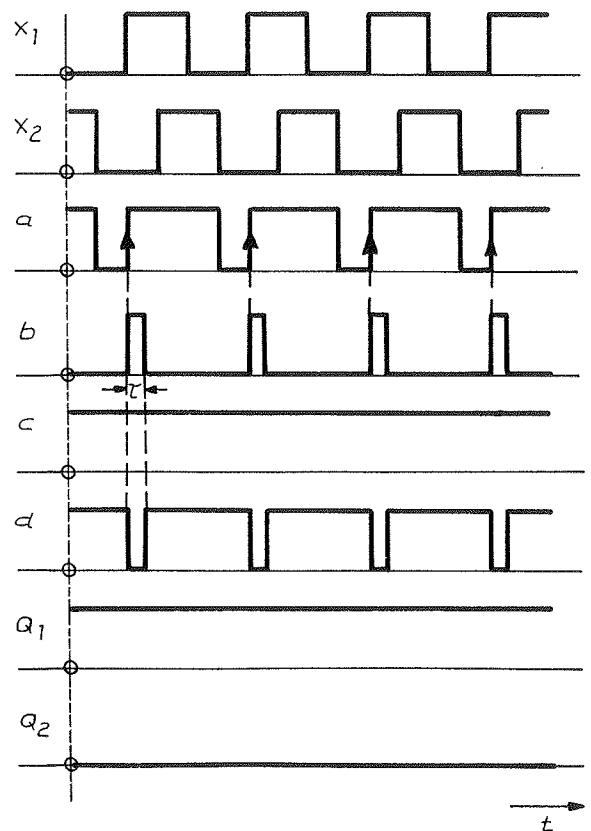
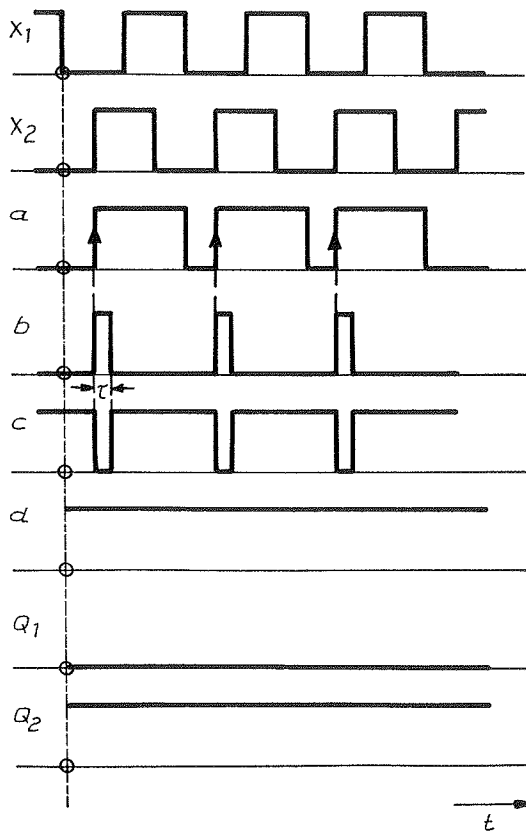
Um die Wirkungsweise besser zu verstehen, betrachte man noch einmal ein NAND-Gatter.



Impulsdiagramme:

Linkslauf:

Rechtslauf:



Die Flipflops  $F_1$  und  $F_2$  werden mit  $\bar{S} = 0$  gesetzt und  $\bar{R} = 0$  zurückgesetzt.

Bei Linkslauf wird durch  $c$   $F_1$  zurückgesetzt ( $Q_1 = 0, \bar{Q}_1 = 1$ ) und  $F_2$  durch Gatter 4 gesetzt ( $X_2 = \bar{Q}_1 = 1 \rightarrow \bar{S}_2 = 0$ ). Der Impuls  $X_1$  kann  $F_1$  nicht mehr setzen, weil durch die gegenseitige Verriegelung über die Kreuzverbindungen von den Ausgängen her das NAND-Gatter 3 wegen  $Q_2 = 0$  stets  $c = 0$  führt.

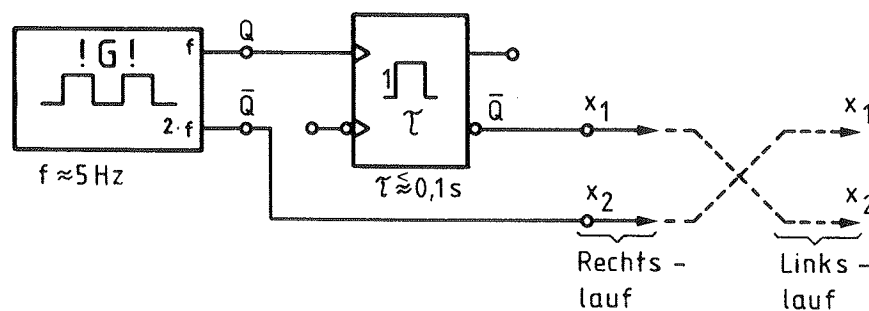
Bei Rechtslauf hingegen wird  $F_2$  von Gatter 2 durch  $d$  rückgesetzt ( $Q_2 = 0, \bar{Q}_2 = 1$ ), während  $F_1$  durch Gatter 3 gesetzt wird ( $X_1 = \bar{Q}_2 = 1 \rightarrow \bar{S}_1 = 0$ ).

Wegen der Verriegelung von  $F_1$  kann  $F_2$  durch  $X_2$  anschließend nicht mehr über Gatter 4 gesetzt werden.

Bei Stillstand leuchten beide Lampen auf.

Zum besseren Verständnis sind an den Ausgängen die logischen Zustände eingetragen, wobei für den Rechtslauf die Werte in Klammern stehen.

Um die Schaltung aufbauen zu können, müssen die Signale  $X_1$  und  $X_2$  simuliert werden. Das ist mit folgender Anordnung möglich:



## 7.7 Verriegelungsschaltung

### Aufgabe 7 - 4:

Es sollen vier Verbraucheranschlüsse  $a$ ,  $b$ ,  $c$ ,  $d$  so gegeneinander verriegelt werden, daß stets maximal nur zwei Anschlüsse betrieben werden können. Beim Anschluß des zweiten Verbrauchers müssen also die restlichen zwei Anschlußstellen spannungslos gemacht werden.

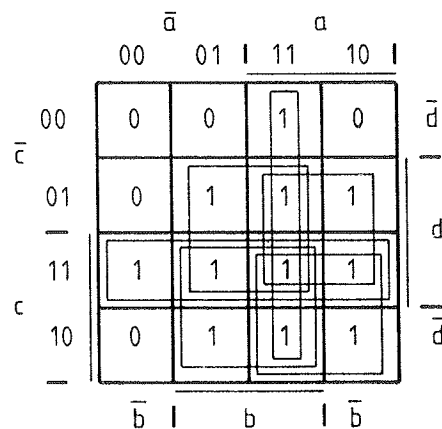
### Lösung 7 - 4:

Eine logische Verknüpfung muß ein Schaltsignal  $f$  liefern, welches anzeigt, ob 2 oder mehr Anschlüsse benutzt werden können.

Funktionstabelle:

a	b	c	d	f
0	0	0	0	0
1	0	0	0	0
0	1	0	0	0
1	1	0	0	1
0	0	1	0	0
1	0	1	0	1
0	1	1	0	1
1	1	1	0	1
0	0	0	1	0
1	0	0	1	1
0	1	0	1	1
1	1	0	1	1
0	0	1	1	1
1	0	1	1	1
0	1	1	1	1
1	1	1	1	1

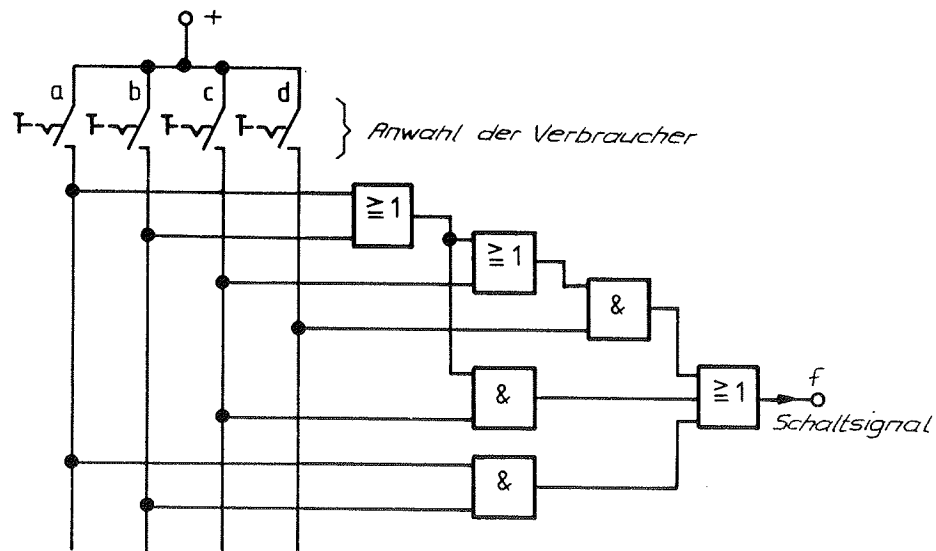
Karnaugh-Diagramm:



Gleichung:

$$f = b\bar{d} + a\bar{d} + ac + bc + ab + c\bar{d}$$

$$f = \bar{d}(a + b + c) + c(a + b) + ab$$

Schaltung:

Mit dem Ausgangssignal f kann jedoch nicht eine Abschaltung der restlichen Anschlüsse vorgenommen werden.

Sinnvoll ist es, bei dem Versuch, einen 3. oder 4. Anschluß zu betreiben, nur die zuletzt zugeschalteten Verbraucher spannungslos zu machen, während die beiden zuerst zugeschalteten Verbraucher weiterhin durchgeschaltet bleiben. Erst wenn einer dieser Verbraucher abschaltet, kann der nächste Verbraucher den freien Anschluß übernehmen. Das erfordert für jeden Anschluß einen Speicher, da die Vorzugsstellung der beiden ersten Verbraucher registriert werden muß. Das Verriegelungssignal f' muß jetzt von den Ausgängen a' b' c' d' der Verriegelungsschaltung kommen, die die Spannungszuschaltung der Verbraucher vornehmen. An diesen Ausgängen können nur die Zustände:

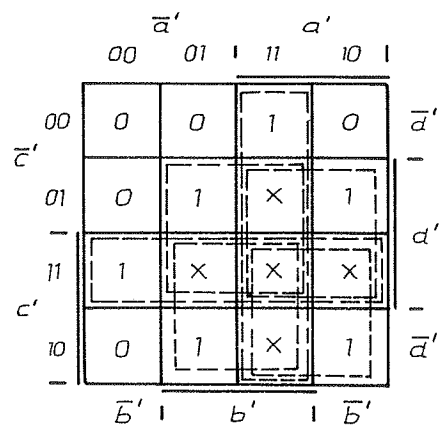
"alle aus", "einer von vier an" und "zwei von vier an" vorkommen, alle anderen Kombinationen sollen nicht möglich sein.



Die zugehörige Funktionstabelle sieht also wie folgt aus:

a'	b'	c'	d'	f'
0	0	0	0	0
1	0	0	0	0
0	1	0	0	0
1	1	0	0	1
0	0	1	0	0
1	0	1	0	1
0	1	1	0	1
1	1	1	0	x
0	0	0	1	0
1	0	0	1	1
0	1	0	1	1
1	1	0	1	x
0	0	1	1	1
1	0	1	1	x
0	1	1	1	x
1	1	1	1	x

Die mit x gekennzeichneten Kombinationen sind nicht möglich und können im Karnaugh-Diagramm als don't-care-Felder benutzt werden.

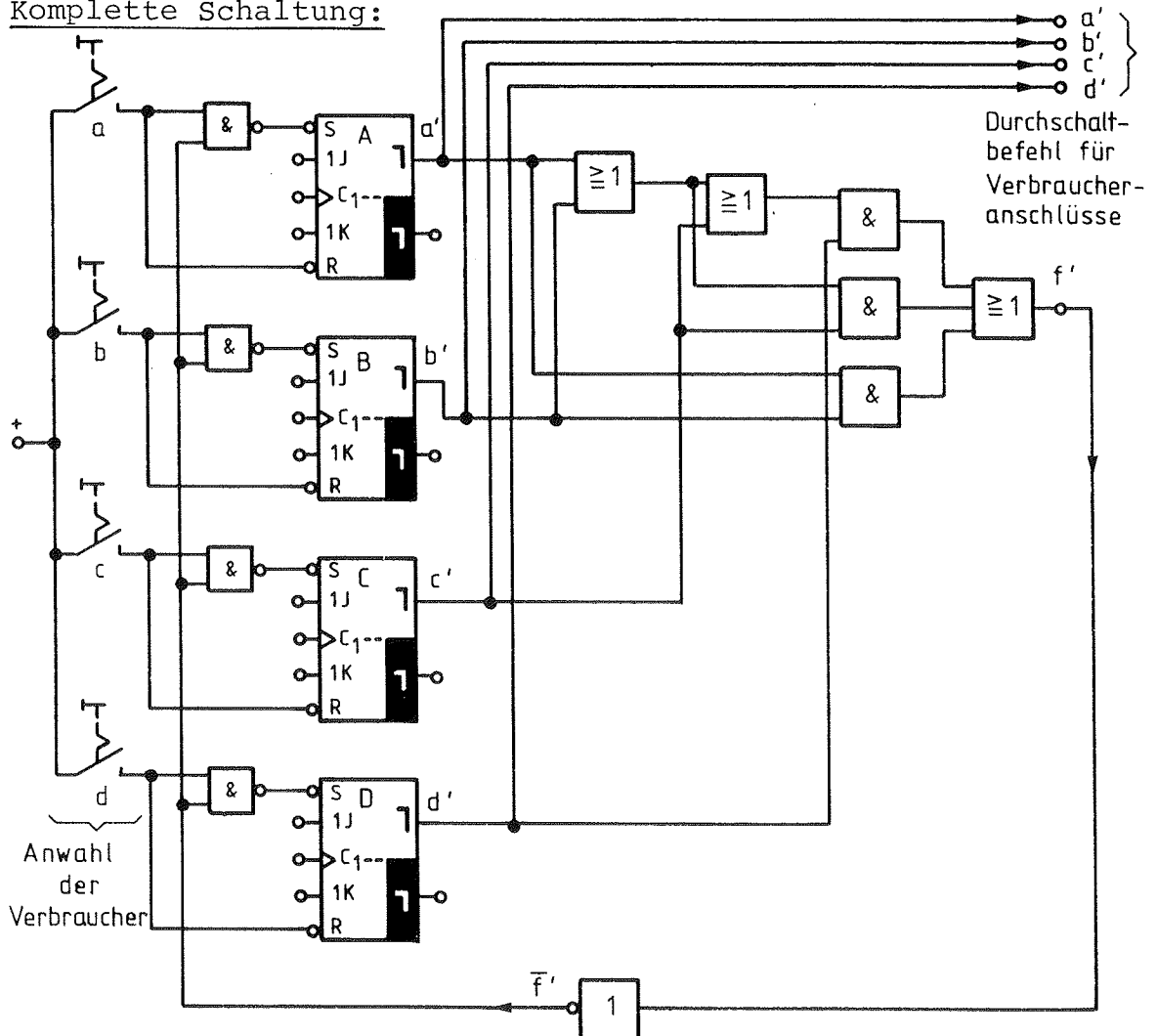


$$f' = a'b' + c'd' + b'd' + b'c' + a'd' + a'c'$$

$$f' = d'(a' + b' + c') + c'(a' + b') + a'b' \quad (\text{gleicher Ausdruck wie vorhin})$$

Die Speicherung kann in einfacher Weise durch Flipflops vorgenommen werden. Die Flipflops müssen gesetzt werden, wenn eine entsprechende Zuschaltung erwünscht ist und  $f = 0$  ist. Rückgesetzt werden die Flipflops, wenn eine Abschaltung des Verbrauchers erfolgt.

Komplette Schaltung:



Für das Flipflop A sollen die statischen Setz- und Rücksetzbedingungen kurz untersucht werden.

$\bar{s} = a \cdot \bar{f}'$      Setzen bei  $\bar{s} = 0$

a	$\bar{f}'$	$\bar{s}$
0	0	1
0	1	1
1	0	1
1	1	0

← Setzen bei  $a = 1$  und  $f' = 0$

$\bar{R} = a$  ; Rücksetzen bei  $\bar{R} = 0$ , also bei  $a = 0$

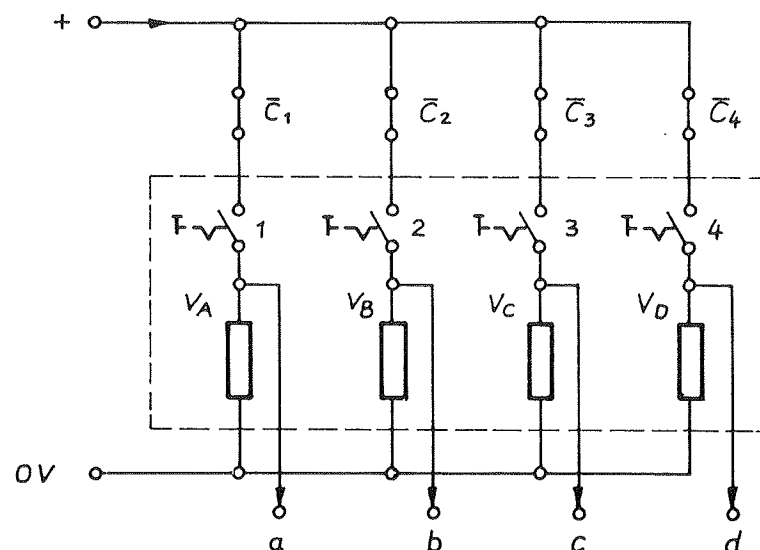
Aufgabe 7 - 4 a:

Analog zur Aufgabe 7 - 4 soll die Verriegelungsschaltung so realisiert werden, daß keine Vorzugsstellung durch Verwendung von Speichern berücksichtigt wird, aber eine Abschaltung erfolgt.

Lösung 7 - 4 a:

Beim Anschluß von zwei Verbrauchern müssen die beiden anderen Verbraucher abgeschaltet, d.h. spannungslos gemacht werden.

Prinzipschaltung:



- $V_A \dots V_D$  Verbraucher  
 $\bar{C}_1 \dots \bar{C}_4$  Schützruhekontakte  
 1...4 Verbraucher - Ein/Aus-Schalter (können vom Verbraucher individuell betätigt werden).  
 a...d Meldesignale, die angeben, ob Verbraucher Spannung hat

Die Schützkontakte  $\bar{C}_1 \dots \bar{C}_4$  schalten die Verbraucher entsprechend der Aufgabenstellung zu oder ab.

$C_1 = 1$  bedeutet: Schütz 1 erregt (durch logische Verknüpfung der Eingangsgrößen a...d), Verbraucher A abgeschaltet

$C_1 = 0$  bedeutet: Verbraucher A zugeschaltet  
 (für  $C_2 \dots C_4$  gilt entsprechendes)

Funktionstabelle:

Komb.	a	b	c	d	C <sub>1</sub>	C <sub>2</sub>	C <sub>3</sub>	C <sub>4</sub>
0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0
3	1	1	0	0	0	0	1	1
4	0	0	1	0	0	0	0	0
5	1	0	1	0	0	1	0	1
6	0	1	1	0	1	0	0	1
7	1	1	1	0	x	x	x	x
8	0	0	0	1	0	0	0	0
9	1	0	0	1	0	1	1	0
10	0	1	0	1	1	0	1	0
11	1	1	0	1	x	x	x	x
12	0	0	1	1	1	1	0	0
13	1	0	1	1	x	x	x	x
14	0	1	1	1	x	x	x	x
15	1	1	1	1	x	x	x	x

Erläuterung:

Wenn kein oder nur ein Verbraucher sich einschaltet, können alle Verbraucher Spannung bekommen ( $C_1 \dots C_4 = 0$ ). Wenn zwei Verbraucher Spannung führen müssen die beiden anderen abgeschaltet werden (z.B. 1100  $\rightarrow$  0011).

Der Zustand, daß drei oder vier Verbraucher zugeschaltet sind, tritt nicht auf (X). Diese Kombinationen können als don't care-Felder benutzt werden.

Aus der Tabelle liest man ab:

$$C_1 = 6 + 10 + 12$$

$$C_2 = 5 + 9 + 12$$

$$C_3 = 3 + 9 + 10$$

$$C_4 = 3 + 5 + 6$$

Karnaugh-Diagramm

		a			
		00	01	11	10
00		0	2	3	1
01		8	10	x	9
11	c	12	x	x	x
10		4	6	x	5
		b			

C<sub>1</sub>:

		a			
			10	x	
c		12	x	x	x
			6	x	
		b			

$$C_1 = bc + bd + cd$$

C<sub>2</sub>:

		a			
				x	9
c		12	x	x	x
				x	5
		b			

$$C_2 = ac + ad + cd$$

C<sub>3</sub>:

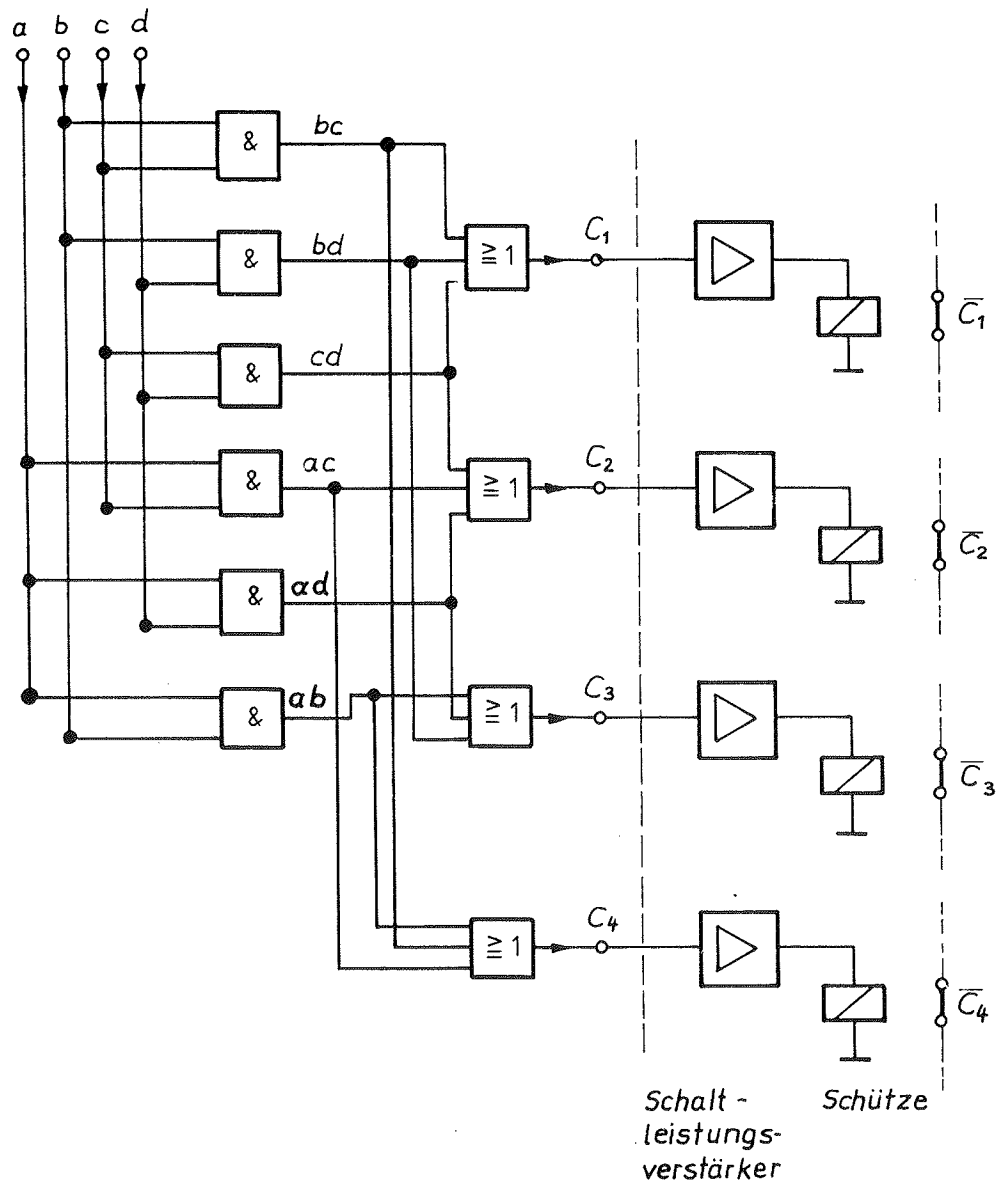
		a			
				3	
			10	x	9
c			x	x	x
				x	
		b			

$$C_3 = ab + ad + bd$$

C<sub>4</sub>:

		a			
				3	
				x	
c			x	x	x
				x	5
		b			

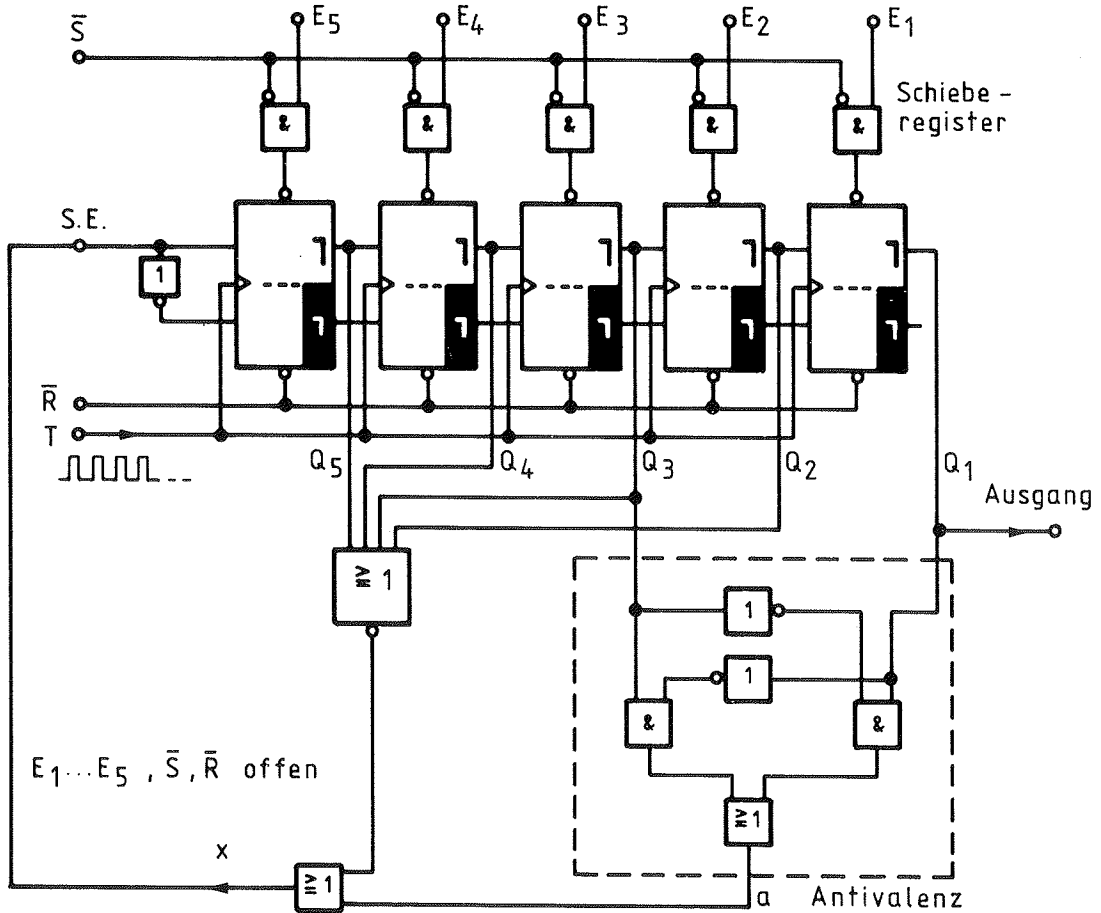
$$C_4 = ab + ac + bc$$

Schaltung:

7.8 Zufallsgenerator (Schieberegisterzähler)

Führt man 2 Ausgänge eines Schieberegisters, die über eine Antivalenz-Schaltung miteinander verknüpft sind, auf den Serieneingang zurück und taktet das Register, dann erhält man eine Anordnung, bei der die einzelnen Zustände scheinbar regellos nacheinander auftreten.

Realisierbarer Schaltungsvorschlag:



Wirkungsweise:

Für eine Antivalenzverknüpfung der Variablen  $Q_1$  und  $Q_3$  gilt:

$Q_1$	$Q_3$	$a$
0	0	0
0	1	1
0	1	1
1	1	0

Wenn  $Q_1$  und  $Q_3$  ungleich sind, wird am Serieneingang S.E. von links eine "Eins" eingeschoben, bei Gleichheit von  $Q_1$  und  $Q_3$  hingegen eine "Null".

Der Zustand  $Q_2 \dots Q_5 = 0$  darf nicht auftreten, weil sonst das Register in diesem Zustand verharren würde.

Es gilt also für Eingangsgröße  $x$

$$x = \underbrace{Q_1 \cdot \overline{Q_3} + \overline{Q_1} \cdot Q_3}_{\text{Antivalenz}} + \underbrace{\overline{Q_2} \cdot \overline{Q_3} \cdot \overline{Q_4} \cdot \overline{Q_5}}_{\text{Nullzustand}}$$

oder

$$x = Q_1 \cdot \overline{Q_2} + \overline{Q_1} \cdot Q_3 + \overline{Q_2 + Q_3 + Q_4 + Q_5}$$

Die sich nacheinander einstellenden Zustände an den Ausgängen  $Q_1 \dots Q_5$  scheinen rein zufällig zu sein. Jedoch nach 31 Taktimpulsen wiederholen sich die Zustände. Deshalb spricht man hier von einem "Pseudo-Zufallsgenerator". Am Ausgang  $Q_1$  erscheinen in "beliebiger" Reihenfolge "0" und "1" wobei "0" und "1" gleichwahrscheinlich sind (50 %/50 %).

Die Theorie dieser Zufallsgeneratoren ist recht kompliziert und soll hier nicht näher untersucht werden.

## 7.9 Digitaler Würfel

### Aufgabe 7 - 5:

Es soll eine Anordnung entworfen werden, bei der optisch die Zahlen 1...6 in schneller Folge durchlaufen. Durch eine Taste soll der Vorgang gestoppt werden, so daß die letzte Ziffer als Anzeige stehen bleibt. Zu verwendende Funktionsgruppen: 3 Flipflops, BCD/7 Seg. Decoder, Gatter, Taster, Taktgenerator.

### Lösung 7 - 5:

Der elektronische Würfel besteht aus einem Dual-Code-Zähler, der von 1...6 zählt, aber den Zustand Null überspringt, weil ein Würfel keine Null hat. Der Zählvorgang wird durch die Taste T ausgelöst. Beim Zählerstand  $Q_1 Q_2 Q_3 = 1 1 1$ , der der Dezimalzahl 7 entspricht, werden die Flipflops FF<sub>2</sub> und

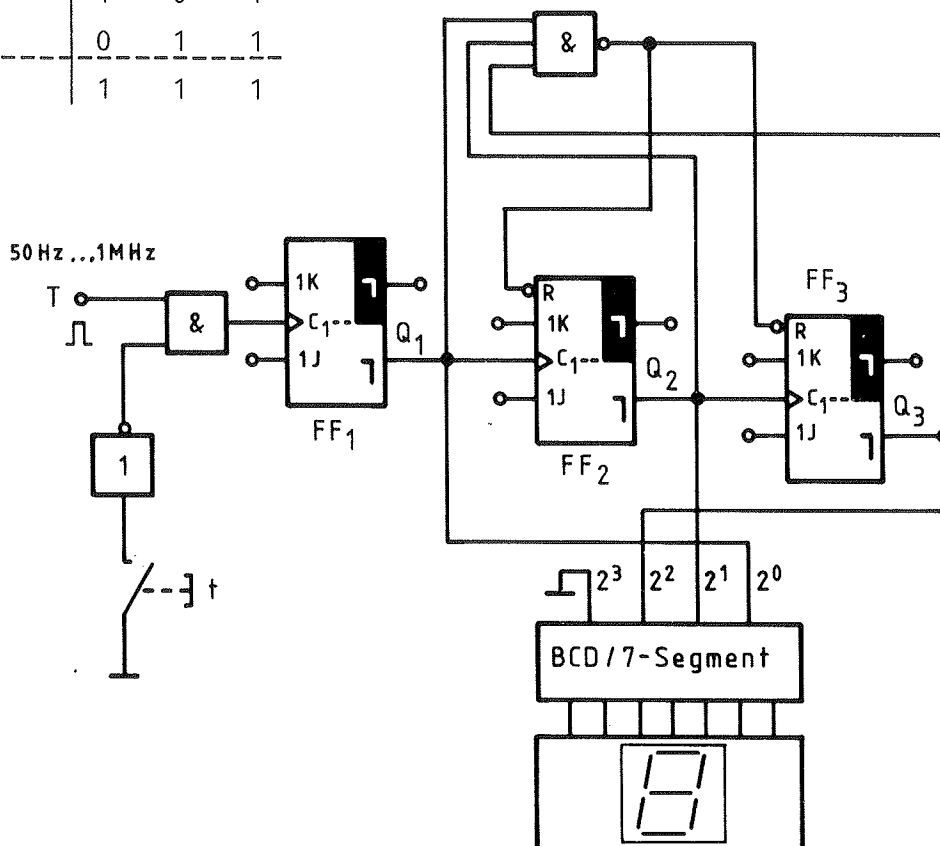
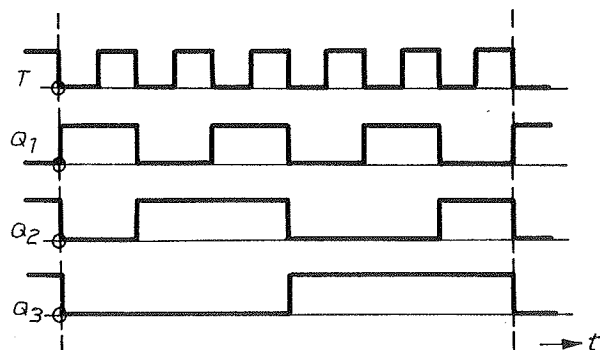


FF<sub>3</sub> mit Hilfe des NANDs über  $\bar{R}$  direkt auf 0 zurückgesetzt, während Q<sub>1</sub> die "1" beibehält. Dadurch entsteht der Zählerstand Q<sub>1</sub> Q<sub>2</sub> Q<sub>3</sub> = 1 0 0, was der Dezimalzahl 1 entspricht (Prinzip Vorwahlzähler). Der Zählvorgang läuft so weiter bis die Taste wieder geöffnet wird und das UND-Glied für den Taktimpuls gesperrt wird. Durch die hohe Zähhfrequenz kann der Zählvorgang mit dem Auge nicht mehr wahrgenommen werden, so daß der momentane Zustand beim Loslassen der Taste quasi zufällig ist, da alle Zustände gleichwahrscheinlich sind.

Code-Tabelle:

Dezimalziffer	Code		
	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>
0	0	0	0
1	1	0	0
2	0	1	0
3	1	1	0
4	0	0	1
5	1	0	1
6	0	1	1
7	1	1	1

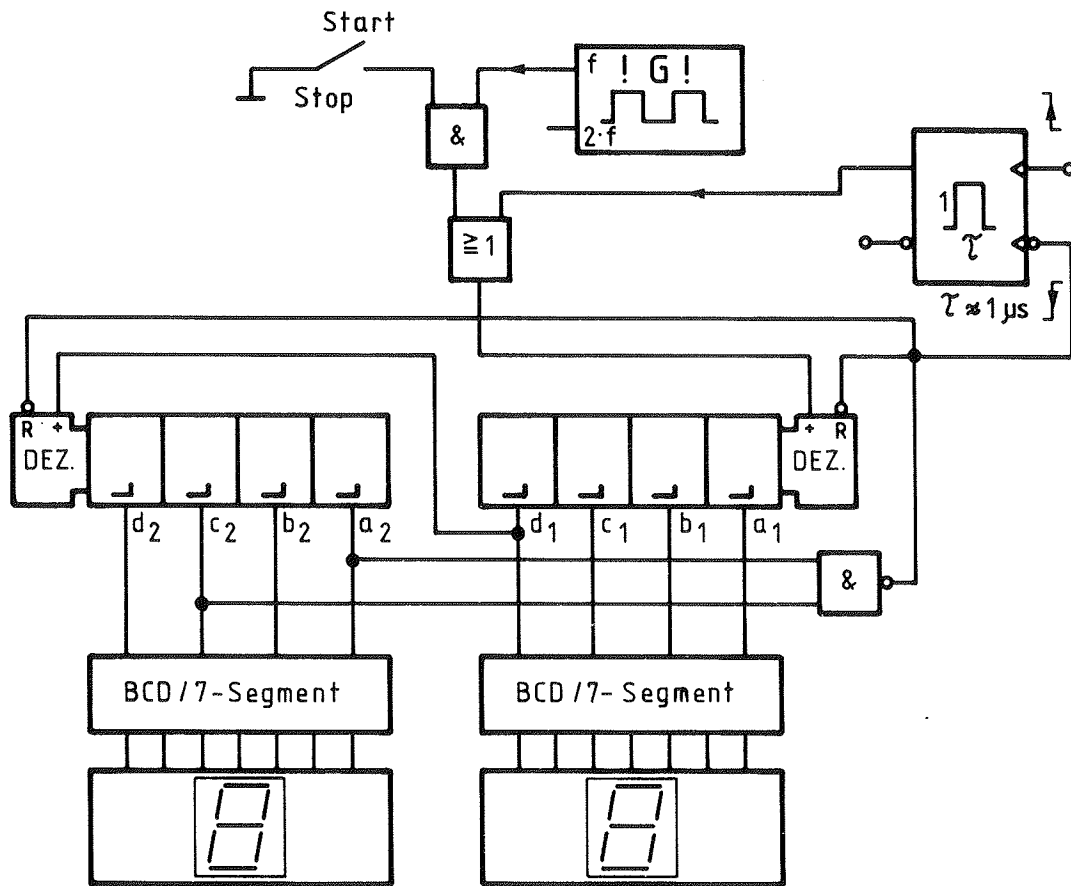
Impulsdiagramm:



7.10 Schaltung zur Ermittlung der Lottozahlen

Bekanntlich sind die Lottozahlen sechs verschiedene Zahlen zwischen 1 und 49. Das läßt sich in einfacher Weise mit einem Zähler realisieren, der dual von 1...49 zählt. Der Zähler wird mit einem Takt gesteuert, dessen Frequenz hinreichend hoch ist. Durch eine Stop-Taste werden die Zählimpulse blockiert und der momentane Zählerstand wird dezimal angezeigt.

Realisierbarer Schaltungsvorschlag



Wirkungsweise:

Der Zähler besteht aus zwei hintereinander geschalteten Zehnerzählern. Der Zustand 50 darf nicht auftreten. Sobald die Kombination  $50 \hat{=} 0 1 0 1 0 0 0 0$  auftritt, muß unverzüglich der Zähler auf Null und anschließend sofort auf den Stand 1 gesetzt werden. Da bei 50 die erste Dekade bereits auf Null steht, braucht nur der Zustand 5 der zweiten Dekade ausgewertet werden.

$$5 \hat{=} a_2 c_1 \text{ (vereinfacht)}$$

Weil die Zähler mit "0" zurückgesetzt werden, erfolgt die Rücksetzung über eine NAND-Verknüpfung.

$$\bar{R} = \overline{a_2 \cdot c_2}$$

Mit dem Rücksetzbefehl  $\bar{R}$  wird gleichzeitig das Monoflop angestoßen. Dadurch wird in den "Einser"-Zähler die erforderliche Eins eingeschrieben. Damit ist der Zähler von 49 auf 1 gesprungen.

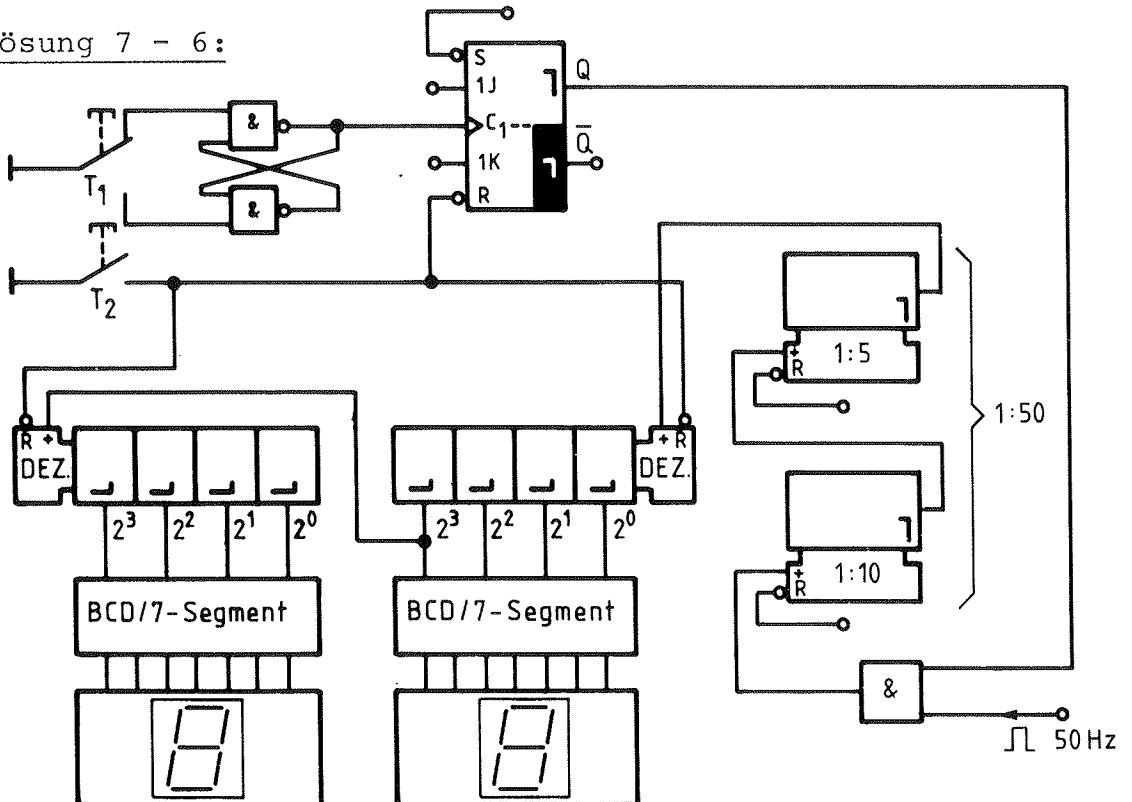
Mit dieser Anordnung kann nicht vermieden werden, daß eventuell Zahlen doppelt auftreten können. Dies zu unterbinden ist mit dem Gerät nicht möglich, weil dazu schon relativ aufwendige Vergleicher und viele Speicherplätze benötigt werden.

7.11 Digitale Stoppuhr

Aufgabe 7 - 6:

Mittels zweier Zehnerzähler, zweier Anzeigeeinheiten mit Decoder, sowie einem Flipflop, Gatter und Taktgenerator gebe man die Schaltung einer digitalen Stoppuhr an. Dabei soll die Anzeige in Sekunden erfolgen. Start/Stop soll mit einer Taste  $T_1$ , Rücksetzen mit einer Taste  $T_2$  möglich sein.

Lösung 7 - 6:



Das Prinzip der digitalen Stoppuhr beruht darauf, daß während der zu messenden Zeit Impulse mit konstanter Impuls- und Periodendauer gezählt werden.

Ein Meßvorgang läuft wie folgt ab:

Durch einmaliges Betätigen der Taste  $T_1$  schaltet der Q-Ausgang des J-K-Flipflops von 0 auf 1 und öffnet das UND-Glied für die annähernd konstante Netzfrequenz von 50 Hz. (Die vor dem Takteingang geschalteten NAND-Gatter bilden ein RS-Flipflop zur Entprellung der Taste).

Der nachfolgende Frequenzteiler  $1/50$  liefert nun einen Impuls pro Sekunde auf den Eingang der ersten Zähldekade, die beim Übergang von 9 auf 0 eine weitere Zähldekade ansteuert. Die Zählerstände werden von zwei Ziffernanzeigeröhren angezeigt. Durch nochmaliges Betätigen der Taste  $T_1$  wird das J-K-Flipflop wieder zurückgesetzt, das UND-Glied gesperrt und so der Zählvorgang abgebrochen. Mit  $T_2$  wird alles auf Null zurückgesetzt.

Bei dieser Schaltungsanordnung erfolgt die Anzeige in Sekunden. Wird anstelle des  $1/50$  Teilers ein  $1/5$  Teiler verwendet, so wird die erste Zähldekade mit 10 Impulsen pro Sekunde angesteuert. Die Anzeige erfolgt dann in  $1/10$  Sekunden.

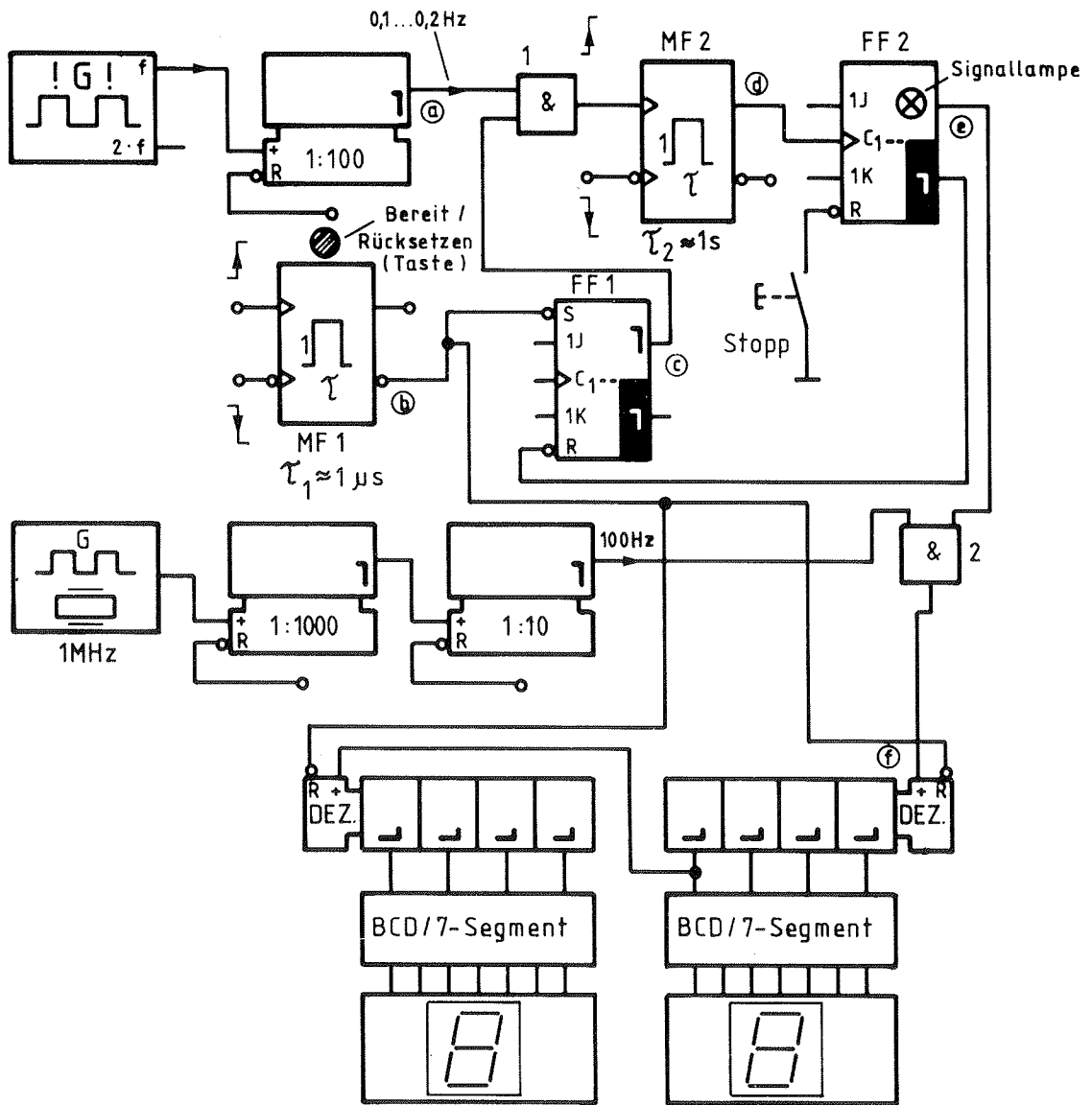
Natürlich kann als Zeitbasis auch der 1,00000 MHz-Generator mit entsprechender Unterteilung verwendet werden.

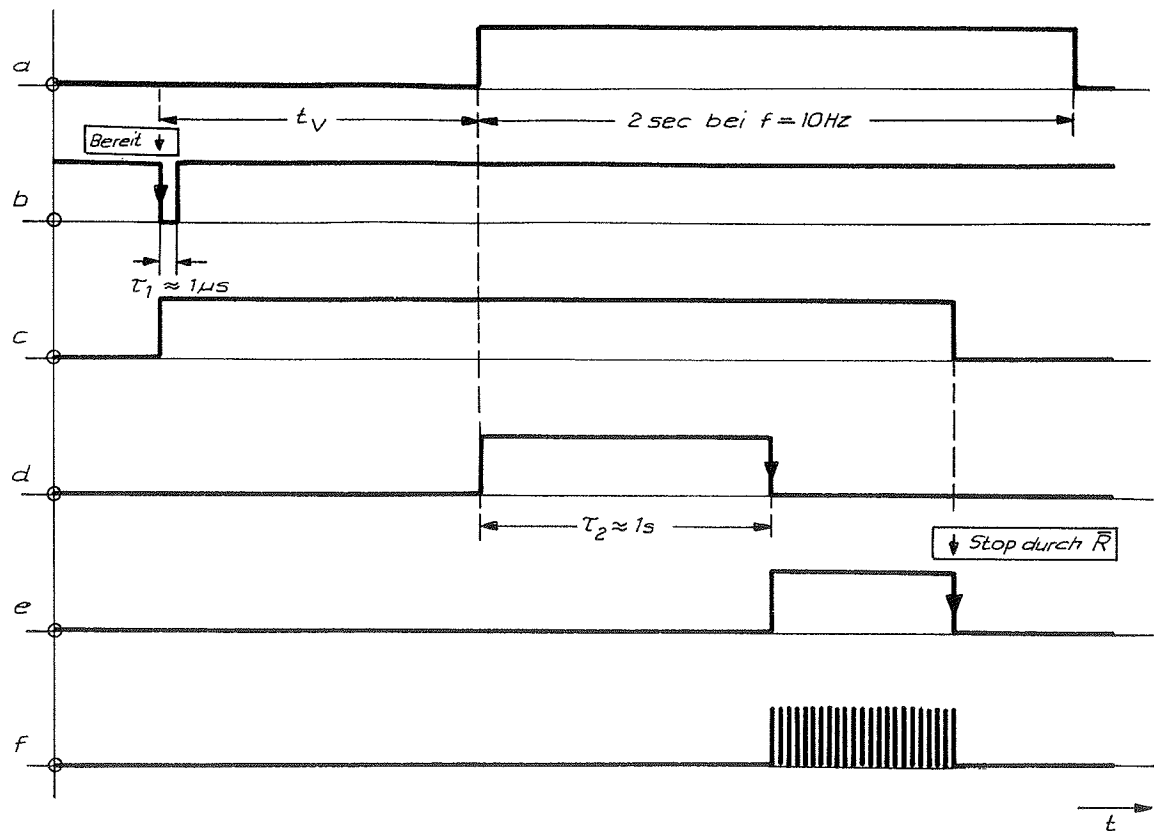
#### 7.12 Schaltung zur Messung der menschlichen Reaktionszeit

Diese Schaltung besteht aus einem digitalen Zeitmesser mit  $\frac{1}{100}$  Sekunden Auflösung, einer Taste zum Stoppen des Zählers, einer Signallampe, die den Stopbefehl anzeigt und einem Bereit-Taster, der den zweistelligen Dezimalzähler zurücksetzt und die Anordnung zum Messen freigibt.

Die Wartezeit, die nach dem Betätigen des Bereit-Tasters und dem Aufleuchten der Signallampe für den Start verstreicht, ist unterschiedlich, damit der Stop-Befehl unverhofft erfolgt. Diese Verzögerungszeit liegt zwischen 1 und 12 Sekunden.

Realisierbares Schaltungsbeispiel:

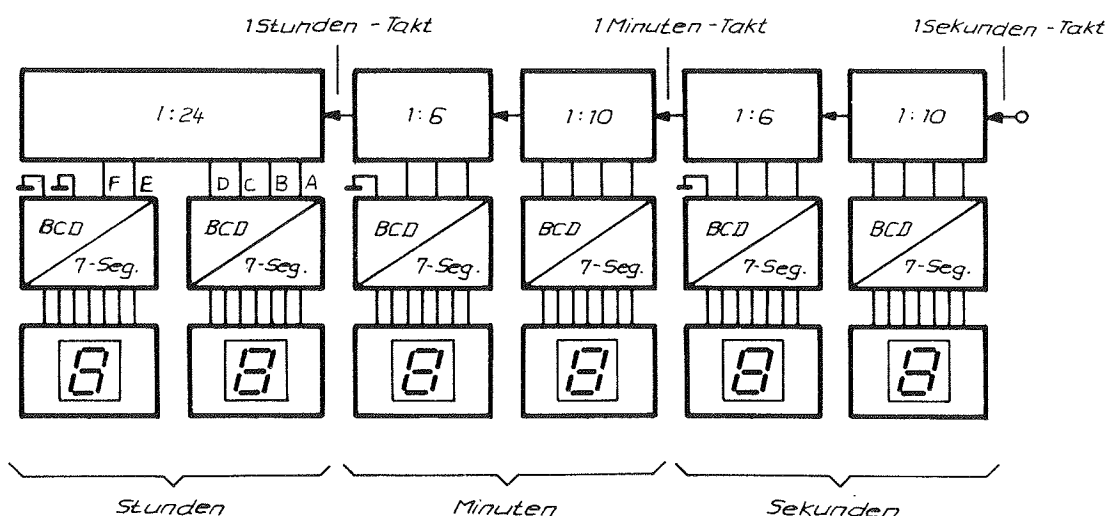


Impulsdiagramm:Funktionsweise:

Durch Betätigen der Bereit-Taste wird durch das Monoflop MF<sub>1</sub> Flipflop FF<sub>1</sub> statisch gesetzt und dadurch das UND-Gatter 1 geöffnet. Nach der Verzögerungszeit  $t_v$ , die abhängig von dem momentanen Stand des 1 : 100-Untersetzers ist ( $t_v = 0 \dots 10$  sec. bei  $f = 10$  Hz), wird das Monoflop MF<sub>2</sub> angestoßen. Dadurch wird das Flipflop FF<sub>2</sub> an T gesetzt, und mit der negativen Flanke wird die Information nach der Zeit  $\tau_2$  an den Ausgang weitergegeben: die Signallampe leuchtet auf, und das UND-Gatter 2 läßt die 100 Hz-Zählimpulse passieren. Nach Betätigen der Stop-Taste werden die Zählimpulse blockiert und das UND-Gatter 2 durch das Rücksetzen von FF<sub>1</sub> gesperrt. Die 2-stellige Ziffernanzeige zeigt die Reaktionszeit in  $\frac{1}{100}$  Sekunden an. Die Verzögerung  $\tau_2 \approx 1$  s soll verhindern, daß eventuell direkt nach Betätigen der Bereit-Taste die Signallampe aufleuchtet, wenn gerade der 1 : 100-Untersetzer "1"-Signal hat.

7.13 Digitale UhrAufgabe 7 - 7:

Gesucht ist eine mit dem Digital-Trainer, Typ 3510 F, ausführbare Schaltung einer digitalen Uhr mit dezimaler Ausgabe der Uhrzeit (Stunden, Minuten, Sekunden im 8-4-2-1-BCD-Code. Alle benötigten Zähler sollen 8-4-2-1-BCD-Code (nicht dual!) zählen, so daß die vorhandenen Decoder benutzt werden können. Da nur 2 Ziffernanzeigeeinheiten vorhanden sind, überlege man, wie mit den vorhandenen Leuchtdioden eine weitere Anzeige realisiert werden kann.

Lösung 7 - 7:1. Prinzipschaltung:

Alle Zähler zählen im BCD-Dualcode, weil hier durch die Decodierung jeder Dekade immer der gleiche übliche BCD  $\rightarrow$  DEZ.-Decoder benutzt werden kann. Es wäre zwar mit weniger Aufwand verbunden, direkt einen asynchronen 1 : 60-Untersetzer nach dem Dualcode (jedoch nicht BCD) zu entwerfen, allerdings ist dann die Decodierung sehr aufwendig. Alle Zähler bzw. Untersetzer sind nicht taktgesteuert (asynchron), weil eine gleichzeitige Informationsübernahme im Moment des Taktimpulses nicht nötig ist.

## 2. Asynchroner 1 : 24 - BCD - Untersetzer

Dieser Zähler setzt sich zusammen aus einem nichttaktgesteuerten 1 : 10-Untersetzer (mit den Flipflops A, B, C, D) und 2 zusätzlichen Flipflops E und F. Der 1 : 10-Untersetzer zählt 2 mal vollständig durch und einmal nur bis 4. Jeweils beim Sprung von 9 auf 0 wird das Flipflop E angesteuert, das wiederum Flipflop F anstößt. Durch eine spezielle Rücksetzverknüpfung wird der 3. Zählzyklus bei 4 unterbrochen und der Anfangszustand Null hergestellt.

Funktionstabelle

f	e	d	c	b	a	Ziffer
0	0	0	0	0	0	0
0	0	0	0	0	1	1
0	0	0	0	1	0	2
0	0	0	0	1	1	3
0	0	0	1	0	0	4
0	0	0	1	0	1	5
0	0	0	1	1	0	6
0	0	0	1	1	1	7
0	0	1	0	0	0	8
0	0	1	0	0	1	9
0	1	0	0	0	0	10
0	1	0	0	0	1	11
0	1	0	0	1	0	12
0	1	0	0	1	1	13
0	1	0	1	0	0	14
0	1	0	1	0	1	15
0	1	0	1	1	0	16
0	1	0	1	1	1	17
0	1	1	0	0	0	18
0	1	1	0	0	1	19
1	0	0	0	0	0	20
1	0	0	0	0	1	21
1	0	0	0	1	0	22
1	0	0	0	1	1	23
1	0	0	1	0	0	24
0	0	0	0	0	0	0



Für alle Flipflops sollen negativ flankengetriggerte J-K-MS-Flipflops verwendet werden.

Man erkennt, daß die Flipflops E und F durch den Sprung von "1" auf "0" gesetzt werden müssen. Zur besseren Übersicht ist der verbotene Zustand "24" mit eingezeichnet, der durch Maßnahmen verhindert werden muß. Beim Übergang von 23 auf 0 muß:

- a) das Setzen von Flipflop C verhindert werden
- b) das Flipflop F zurückgesetzt werden.

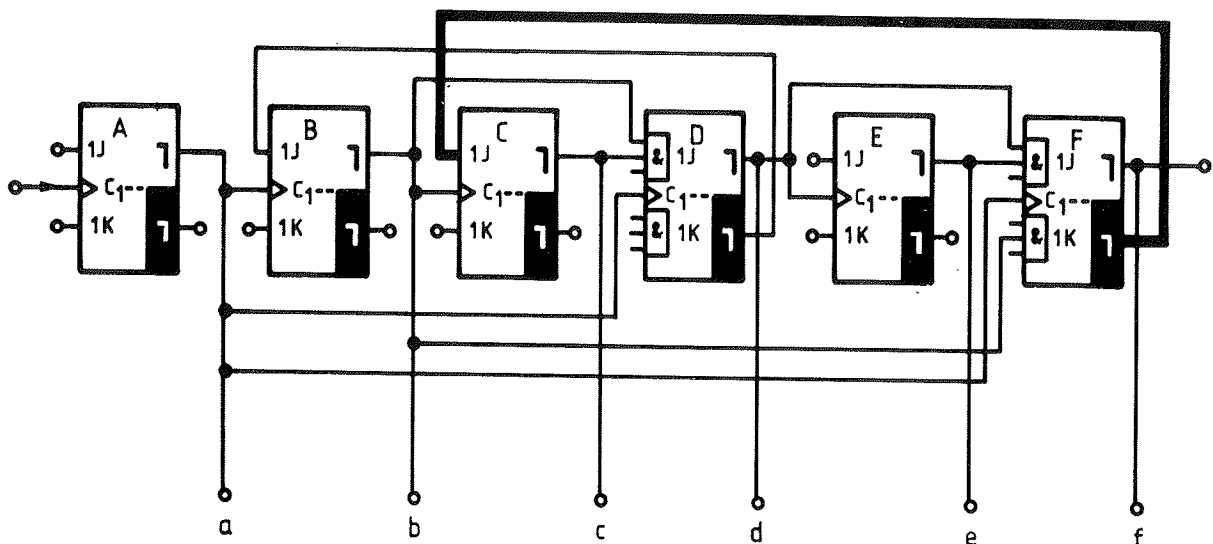
Das Setzen von C wird verhindert, indem zusätzlich auf den J-Eingang der Q-Ausgang des Flipflops F geschaltet wird. Bis zur Ziffer 19 ist wegen  $F = 0$  bzw.  $\bar{F} = 1$  das Setzen von C möglich. Von 20 ... 24 = 0 kann wegen  $F = 0$  Flipflop C nicht mehr gesetzt werden. Flipflop F muß beim Übergang von 19 auf 20 gesetzt werden. Das Kriterium dafür ist

$$J_F = d \cdot e$$

Den negativen Sprung für den Takt  $T_F$  liefert a.

Das Rücksetzen von Flipflop F vom Zustand 23 nach 24  $\hat{=} 0$  erfolgt wiederum durch den Takt von Flipflop A. Das Kriterium für das Rücksetzen lautet:

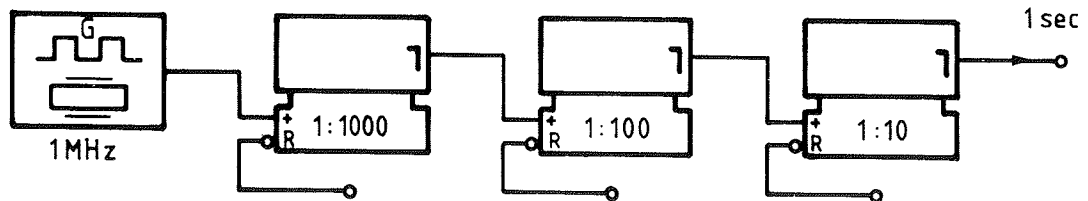
$$K_F = b$$



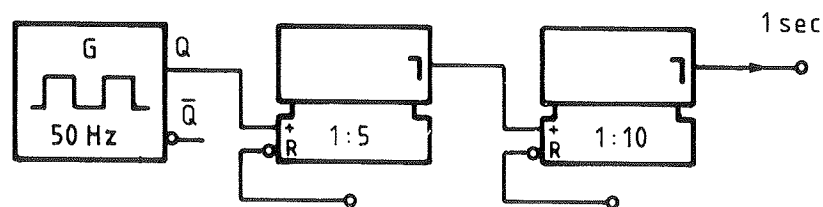
Der Zehnerzähler aus den Flipflops A, B, C, D ist auf S.85/86 beschrieben. Lediglich der J-Eingang von C ist, wie oben gezeigt, anders beschaltet (dick eingezeichnet).

### 3. Erzeugung des 1-Sekunden Taktes:

a) mittels 1 MHz-Takt und 1 :  $10^6$ -Untersetzer (sehr genau)



b) mittels 50 Hz-Takt (Netzfrequenz) und 1 : 50-Untersetzer



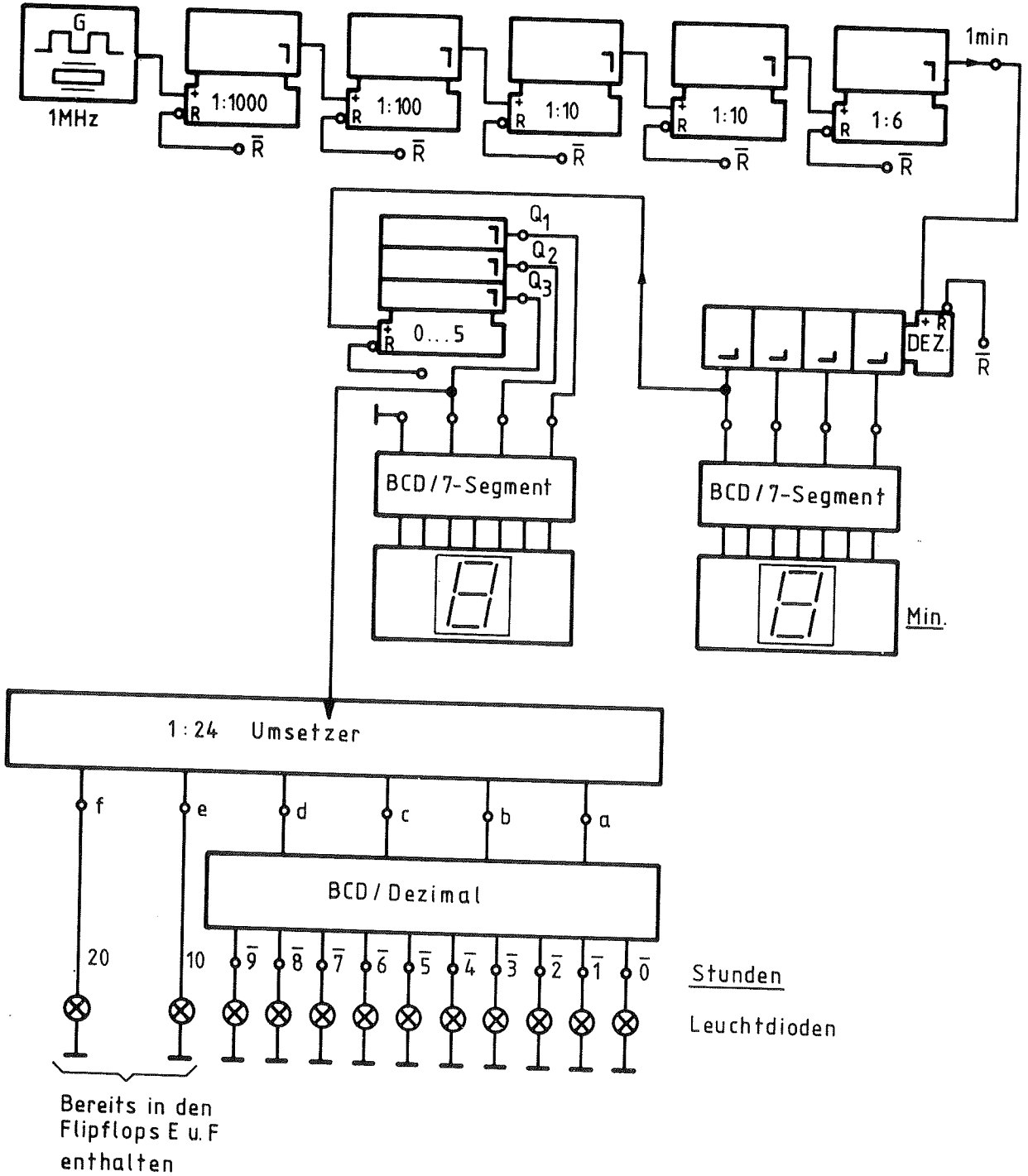
### 4. Setzen der Digital-Uhr

Das direkte Vorsetzen aller Flipflops auf einen bestimmten Stand mittels Vorwahlschalter ist sehr aufwendig und soll hier nicht behandelt werden.

#### Möglichkeiten:

- Vorgabe des gewünschten Zustandes durch statisches Setzen und Rücksetzen an den  $\bar{S}$ - und  $\bar{R}$ -Buchsen.
- Frequenz des 1 sec-Taktes durch den Taktgenerator mit variabler Frequenzeinstellung wesentlich erhöhen. Dadurch werden alle Zustände sehr schnell durchlaufen. Beim gewünschten Stand wird der Vorgang gestoppt und wieder die 1 sec-Impulse aufgeschaltet. (Eventuell kann man kurz vor Erreichen des gewünschten Standes die Frequenz verlangsamen, um eine sichere Einstellung zu ermöglichen). Wegen der beschränkten Anzahl von Flipflops und vor allem der Anzeigemöglichkeiten soll hier ein Vorschlag für eine Digitaluhr erfolgen, die Minuten und Stunden digital anzeigt.

5. Ausführbare Schaltung



### 7.14 Digitales Frequenzmeßgerät mit 2-stelliger Anzeige

Mit dem Digital-Trainer, Typ 3510 F, ausführbarer Schaltungsvorschlag:

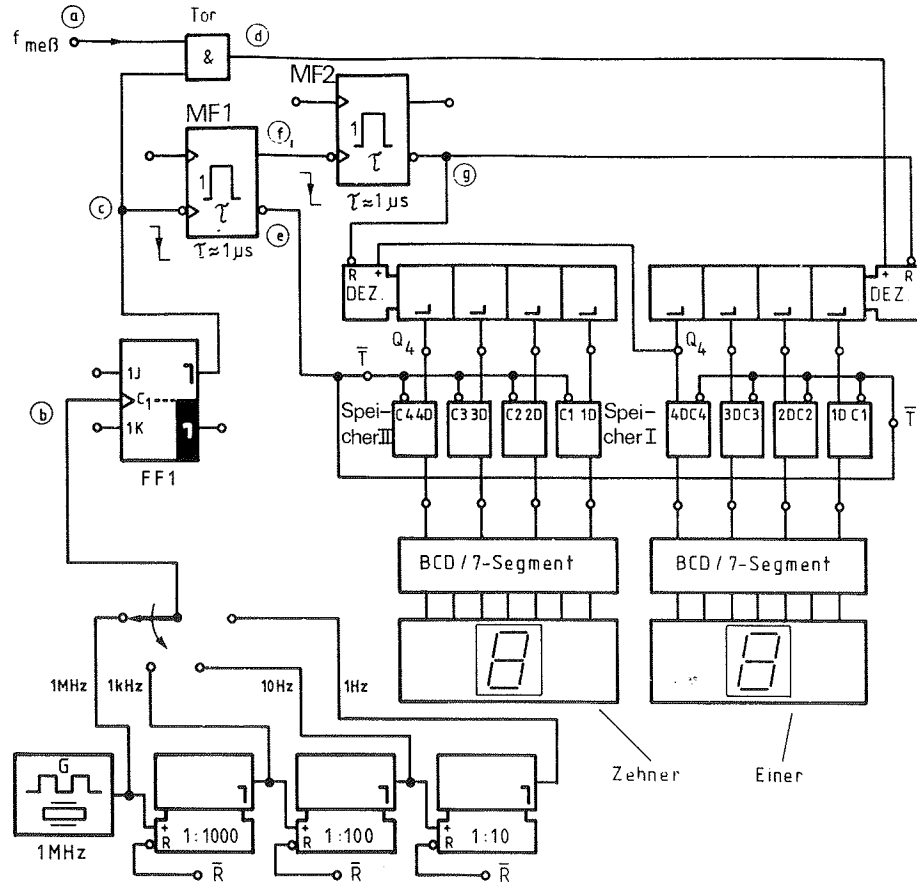


Bild 1

#### Wirkungsweise:

Als Frequenz eines periodischen Vorganges ist definiert:

$$\text{Frequenz} = \frac{\text{Anzahl der Perioden}}{\text{Zeit}}$$

Bei einer impulsförmigen periodischen Spannung ist demnach:

$$\text{Frequenz} = \frac{\text{Anzahl der Impulse}}{\text{Zeit}}$$

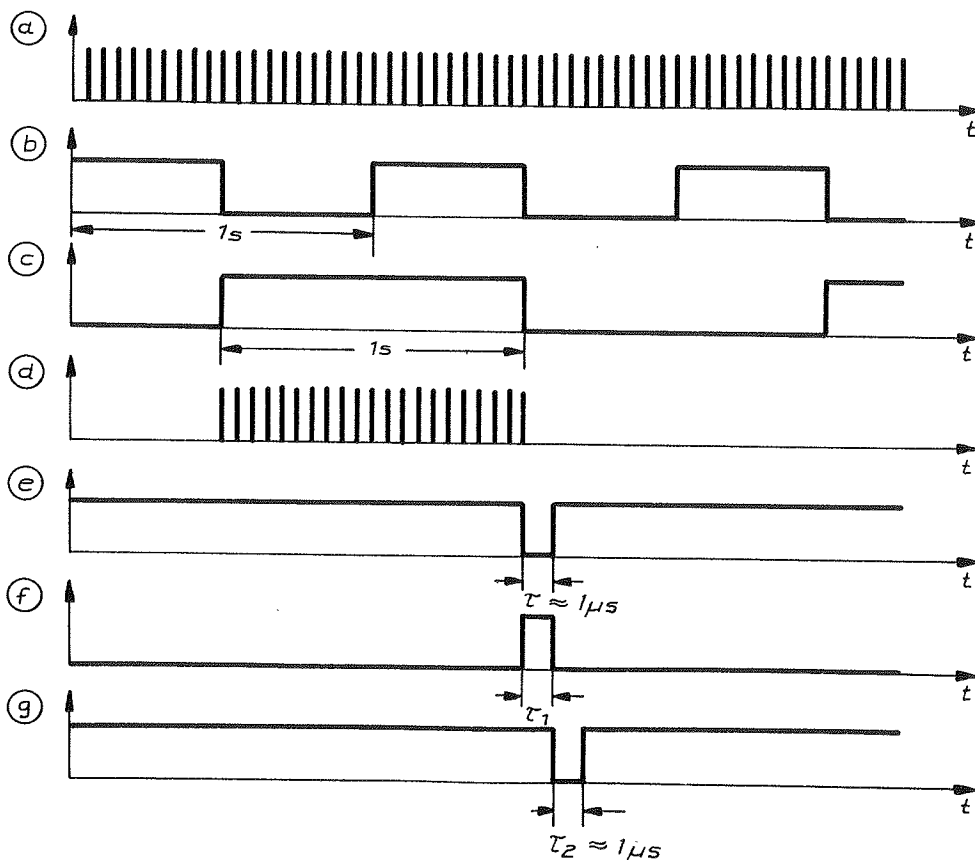
Um einen digitalen Frequenzmesser zu bauen, muß also während einer bestimmten Zeit, der Meßzeit  $t_{\text{meß}}$ , die Anzahl der Impulse gezählt werden. Dies wird mit einer Torschaltung realisiert, die die zu zählenden Impulse nur während der Meßzeit auf einen digitalen Zähler gelangen läßt. Der Zählerstand muß zur Anzeige in Dezimalzahlen umgewandelt werden.

Die Schaltung nach Bild 1 soll für eine Meßzeit  $t_{\text{meß}} = 1 \text{ s}$  erklärt werden.

Die Quarzoszillatorfrequenz 1,0000 MHz wird durch die 3 Teiler 1 : 1000, 1 : 100 und 1 : 10 auf 1 Sekunde heruntergeteilt (Bild 1, (b) ). Das nachgeschaltete Flipflop FF<sub>1</sub> dient als 1 : 2-Untersetzer (Toggelschaltung,  $J = K = 1$ ), so daß am Q-Ausgang während 1 Sekunde das 1-Signal (log. 1) und der nachfolgenden Sekunde das 0-Signal (log. 0) anliegt (Bild 1, (c) ).

Diese Signale gelangen auf das UND-Gatter (Tor). Nur wenn das 1-Signal anliegt, gelangen die zu zählenden Impulse mit der Frequenz  $f_{\text{meß}}$  auf den ersten 1 : 10-Untersetzer (Einer) (Bild 1, (d) ). Nach jedem zehnten Impuls erscheint ein Impuls auf den zweiten 1 : 10-Untersetzer (Zehner).

Impulsdiagramm zu Bild 1:



Um Umrechnungen zu ersparen, wählt man für die Meßzeit sinnvollerweise Werte von 1 bzw. Zehnerpotenzen davon, z.B.  $t_{\text{meß}} = 1 \text{ s}, 1 \text{ ms} \dots$

Nach Ende von 1 s Meßzeit ist das Tor gesperrt und der Zählerstand wird in die Speicher I und II übernommen. Dies erfolgt mittels Monoflop  $\text{MF}_1$ . Durch die abfallende Flanke von (c) wird ein Impuls der Breite  $\tau_1$  ausgelöst, der die Informationsübernahme aus den Zählern ermöglicht. Es wird der invertierte Impuls an  $\bar{Q}$  genommen, da die Übernahme bei  $\bar{T} = 0$  erfolgt (Bild 1, (e)).

Die im Dualcode abgespeicherte Information wird durch die nachfolgenden Decoder BCD-7. Segment in Dezimalzahlen umgeformt und mit zwei 7-Segment-Anzeigeeinheiten sichtbar gemacht.

Nach Ablauf einer weiteren Sekunde ist das Tor wieder geöffnet und eine erneute Zählung beginnt. Damit jedoch die Zähler vor Beginn der Zählung auf Null stehen, müssen sie nach Abspeicherung der vorherigen Information zurückgesetzt werden. Das geschieht durch das Monoflop 2, das durch die abfallende Flanke des Impulses aus  $\text{MF}_1$  getriggert wird (Bild 1, (f) und (g)). Die Rücksetzung erfolgt durch den  $\bar{Q}$ -Ausgang von  $\text{MF}_2$ , weil dafür  $\bar{R} = 0$  sein muß.

Eine Zwischenspeicherung in den Speichern I und II ist nötig, damit der sich ständig wiederholende Zählvorgang nicht durch die Anzeigeeinheiten sichtbar wird, was als sehr störend empfunden würde.

Bei einer Meßzeit von einer Sekunde ist der angezeigte Wert die zu messende Frequenz  $f_{\text{meß}}$  in Hz, bei einer Millisekunde entspricht die Anzeige der Frequenz in kHz.

$$\left( \frac{f}{\text{Hz}} = \frac{\text{Anzahl Impulse}}{1 \text{ Sekunde}} ; \quad \frac{f}{\text{kHz}} = \frac{\text{Anzahl Impulse}}{1 \text{ Millisekunde}} \right)$$

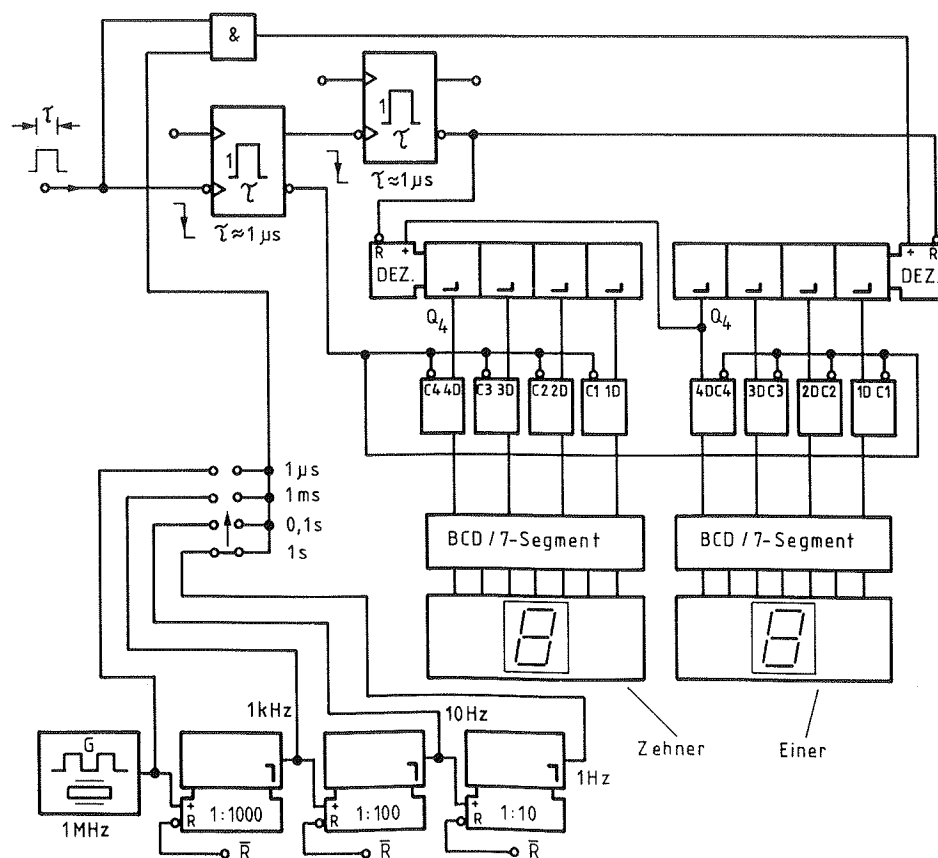
### 7.15 Digitaler Zeitmesser

Dieses Gerät soll die Zeitdauer  $T$  eines Impulses messen. Es ist sehr ähnlich aufgebaut wie ein digitaler Frequenzmesser, wie er auf S.170...172 beschrieben ist.

Im Gegensatz zum Frequenzzähler, bei dem während einer konstanten Zählzeit die eintreffenden Impulse gezählt werden, wird beim Zeitmesser während der zu messenden Zeit  $T$  Impulse einer konstanten, bekannten Frequenz gezählt. Die Schaltung ist bis auf wenige Änderungen identisch mit der Schaltung auf S.170.

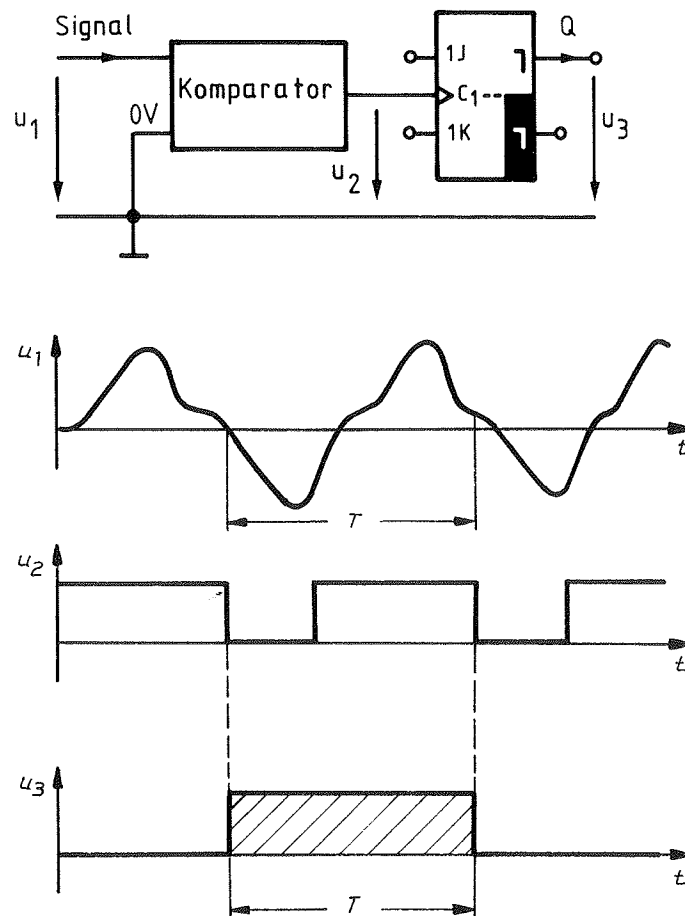
Wird als Zählfrequenz  $f = 1$  Hz gewählt, so wird jede Sekunde während der Meßzeit  $T$  ein Impuls gezählt. Der angezeigte Wert ist in Sekunden angegeben. Bei  $f = 10$  Hz bedeutet der zur Anzeige gebrachte Wert die zu messende Zeit in 0,1 s. Auch hier wird durch den zu messenden Impuls vor Beginn der Zählung die Zehnerzählung zurückgesetzt und die Speicher gelöscht.

Ausführbare Schaltung:



### 7.16 Digitaler Periodendauermesser:

Mit diesem digitalen Zeitmeßgerät kann auch die Periodendauer  $T$  eines Signales gemessen werden, indem das Signal auf einen Schwellwertschalter gegeben wird (Komparator), der beim Nulldurchgang schaltet.

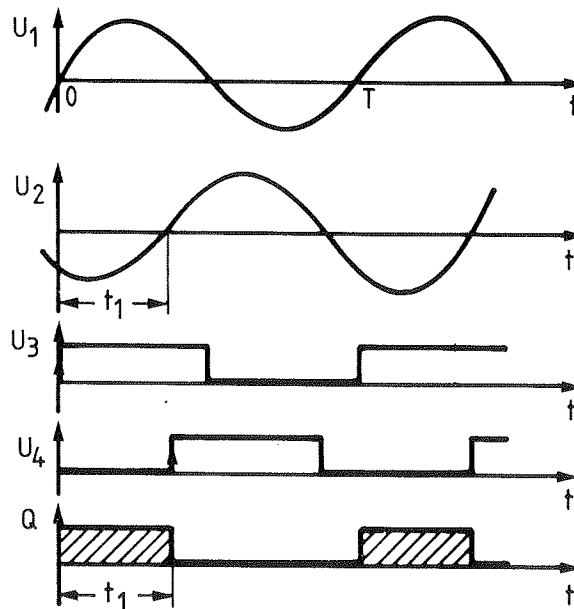


Anschließend wird mit der Spannung  $U_2$  ein T-Flipflop angesteuert ( $J = K = 1$ ). Dadurch erhält man an  $Q$  Ausgangsimpulse, deren Impulsbreite der Periodendauer  $T$  entsprechen und mit einem digitalen Zeitmesser gemessen werden können.

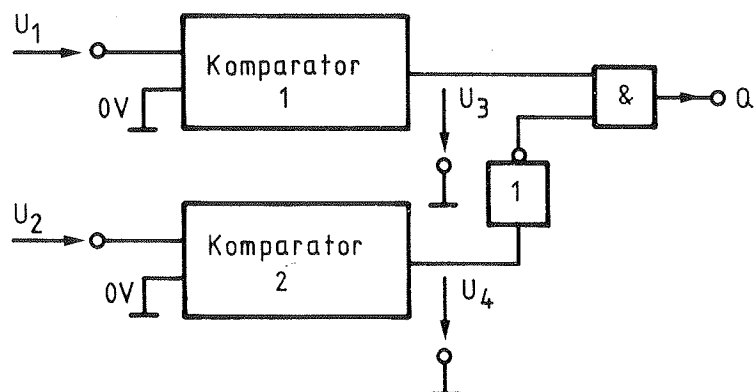


7.17 Digitaler Phasenmesser

Es soll die Phasenverschiebung zweier sinusförmiger Spannungen ermittelt werden.



Als Kriterium dient die Zeitverschiebung  $t_1$  der Nulldurchgänge der positiven Steigungen von den phasenverschobenen Spannungen  $u_1$  und  $u_2$ . Die beiden Schwellwertschalter (Komparatoren) schalten schlagartig durch, wenn  $u_1$  oder  $u_2$  größer als null sind.



Der Impuls  $Q$  mit der Impulsbreite  $t_1$  kann mit einem UND-Gatter erzeugt werden. Eine Durchschaltung erfolgt, wenn  $u_3$  und  $\overline{u_4}$  vorhanden sind.

$$Q = u_3 \cdot \overline{u_4}$$

Für den Phasenwinkel  $\varphi$  gilt:

$$\varphi = \frac{t_1}{T} \cdot 360^\circ \quad T = \text{Periodendauer}$$

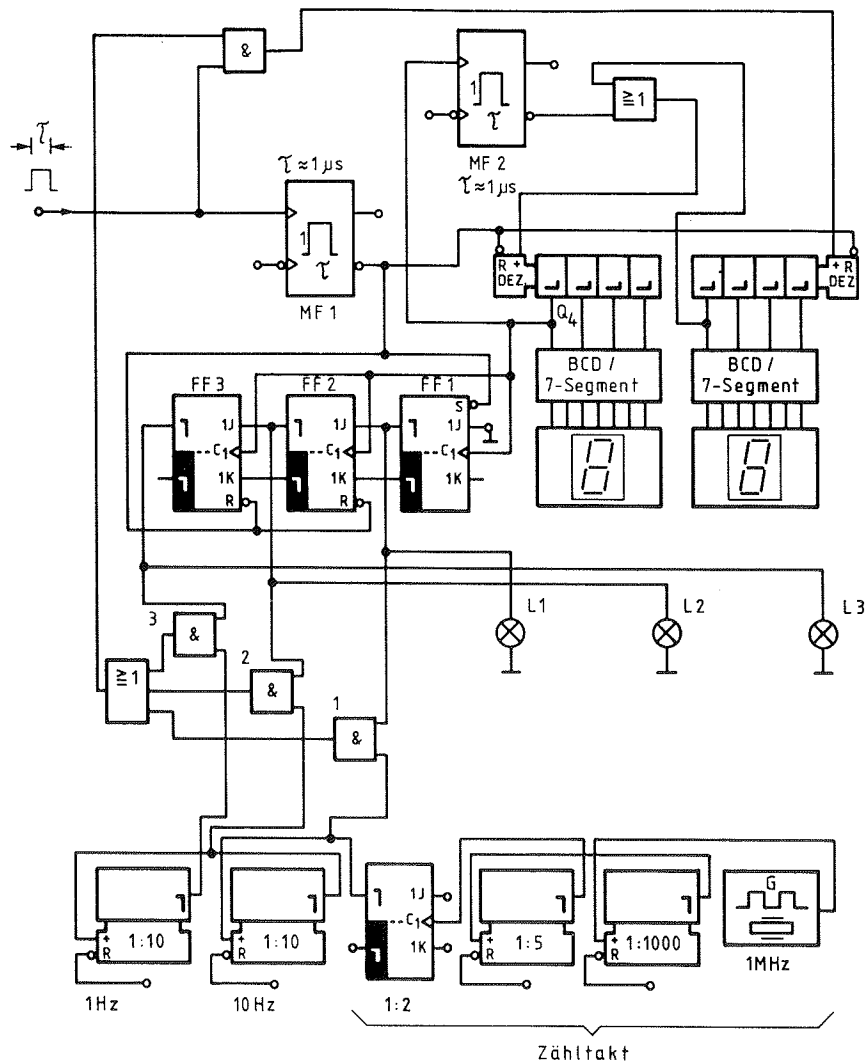
Mit Hilfe des oben beschriebenen Digitalzeitmessers kann nun die Dauer  $t_1$  des Impulses  $Q$  und auch die Periodendauer  $T$  gemessen und daraus der Winkel  $\varphi$  errechnet werden.

#### 7.18 Automatische Bereichsumschaltung

Bei dem auf S. 173 beschriebenen digitalen Zeitmesser soll automatisch beim Überschreiten der maximalen Zählkapazität der Zeitbereich umgeschaltet werden.

Zur Realisierung dieser Umschaltung gehen wir von dem Zeitbereich 10 ms aus ( $f = 100$  Hz). Ist die zu messende Zeit  $T$  kleiner als  $100 \cdot 10$  ms = 1000 ms, dann wird diese Zeit direkt angezeigt. Überschreitet jedoch die Zeit  $T$  1000 ms, beginnen beide Zehnerzähler von vorne. Es wird lediglich nur die Differenzzeit zu vollen 1000 ms angezeigt, z.B. bei  $T = 7,59$  s kommt der Wert 59 zur Anzeige. Als Kriterium für eine Umschaltung kann also der Übergang von 99 auf 0 benutzt werden, charakterisiert durch die negative Flanke am Ausgang  $Q_4$  des zweiten Zehnerzählers. Die eigentliche Umschaltung muß durch eine 1 : 10-Frequenzunterteilung des Zähltaktes erfolgen, also durch 10 Hz-Impulse. Dadurch wird die maximal mögliche Anzeige auf  $10 \cdot 999$  ms = 9,99 Sekunden erhöht. Neben der 1 : 10 Frequenzuntersetzung muß aber auch der erste Übertrag von 99 auf  $100 \hat{=} 0$  in den zweiten Zehnerzähler eingegeben werden, weil sonst immer die ersten 1000 ms verloren gehen. Letztlich muß durch eine optische Anzeige die neue Kommastelle sichtbar gemacht werden.

Realisierbarer Schaltungsvorschlag:



Die Flipflops FF<sub>1</sub>, FF<sub>2</sub> und FF<sub>3</sub> bilden ein Schieberegister zum Weiterschleichen des Kommas. Mit der positiven Flanke des zu zählenden Impulses werden die Flipflops FF<sub>2</sub> und FF<sub>3</sub> über  $\bar{R}$  zurückgesetzt und FF<sub>1</sub> über  $\bar{S}$  gesetzt: Lampe L<sub>1</sub> brennt. Dadurch ist das 1. UND-Gatter offen und über das ODER-Glied gelangen 100 Hz-Impulse zur Zählung. Beim Übergang von 99 auf 0 wird durch den negativen Sprung von Q<sub>4</sub> des Zehnerzählers II die EINS aus FF<sub>1</sub> in das Flipflop FF<sub>2</sub> geschoben: Lampe L<sub>2</sub> brennt und über das UND-Gatter 2 werden nun 10 Hz-Impulse gezählt.

Gleichzeitig wird über Q<sub>4</sub> das Monoflop MF<sub>2</sub> getriggert. Der entstehende Ausgangsimpuls wird als Übertragsimpuls wieder

dem auf Null stehenden Zehnerzähler zugeführt.  
 Beim nächsten Übergang von 99 auf 0 wird die Lampe L<sub>3</sub> ange-  
 steuert und der Zähltakt beträgt nun 1 Hz.

Es kann also angezeigt werden:

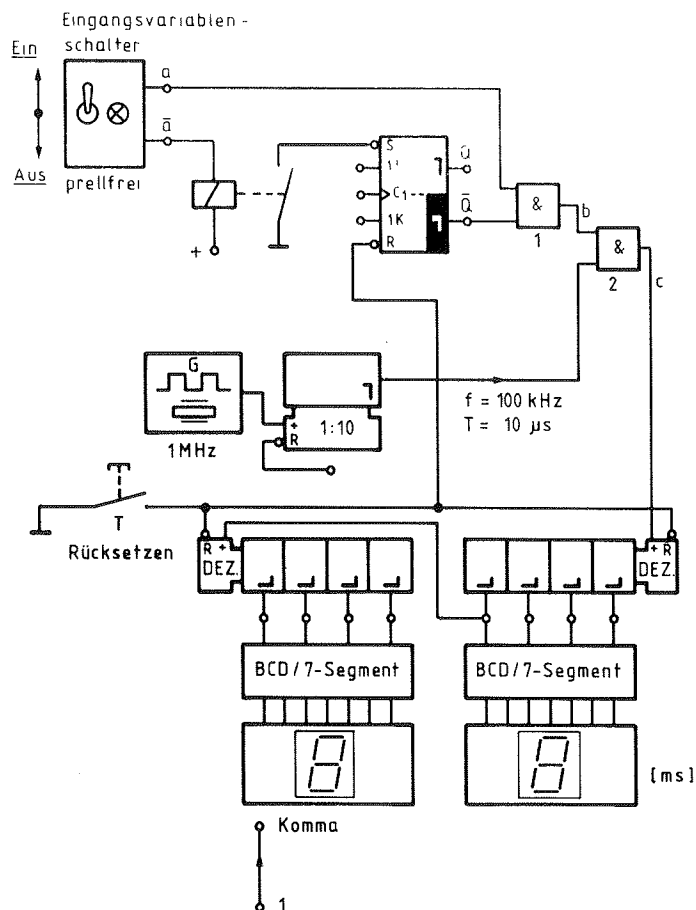
- , □ □ Sekunden                      , = Komma
- , □ Sekunden                      □ = Dezimalziffer
- □ , Sekunden

(Bei anderer Taktfrequenz sind natürlich andere entsprechen-  
 de Zeitbereiche möglich).

Damit der Zählvorgang und die Frequenzumschaltung beobachtet  
 werden kann, sind die Speicher I weggelassen worden. Dadurch  
 entfällt auch ein Monoflop, das die Speicher vor der Zählung  
 auf Null zurücksetzte.

7.19 Messung der Anzugszeit eines Relais

Mit dem Digital-Lehrmodell realisierbare Schaltung:



Als zu untersuchendes Relais kann eines der beiden Reed-Relais im Gerät benutzt werden.

Wirkungsweise:

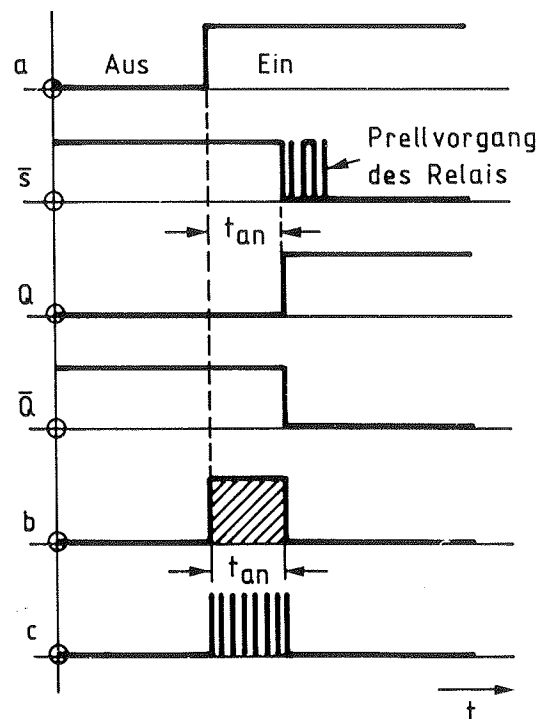
Wird der prellfreie Eingangsvariablenschalter nach oben gelegt, ist  $a = 1$  und bis zum Anziehen des Relais der  $\bar{Q}$ -Ausgang des Flipflops  $\bar{Q} = 1$ . Dadurch ist Gatter 1 durchgeschaltet und über Gatter 2 gelangen 100 kHz-Impulse zum Zähler. Sobald das Relais angezogen hat, wird das Flipflop an  $\bar{S}$  gesetzt und die Zählimpulse werden blockiert. Das Flipflop dient zum Entprellen des Relaiskontaktes.

Es gilt:

$$b = a \cdot \bar{Q}$$

$$c = b \cdot f$$

Impulsdiagramm:



Bei einer Zählfrequenz von  $f = 100$  kHz entspricht die angezeigte Ziffernfolge der Anzugszeit  $t_{an}$  in  $\frac{1}{100}$  ms.

Die Anzugszeit des im Digital-Trainer, Typ 3510 F, vorhandenen Relais liegt in der Größenordnung  $t_{an} \approx 0,5$  ms.

Mit der Taste T werden Flipflop und Zähler zurückgesetzt.

Danach kann die nächste Messung beginnen.

7.20 Messung der Abfallzeit eines Relais

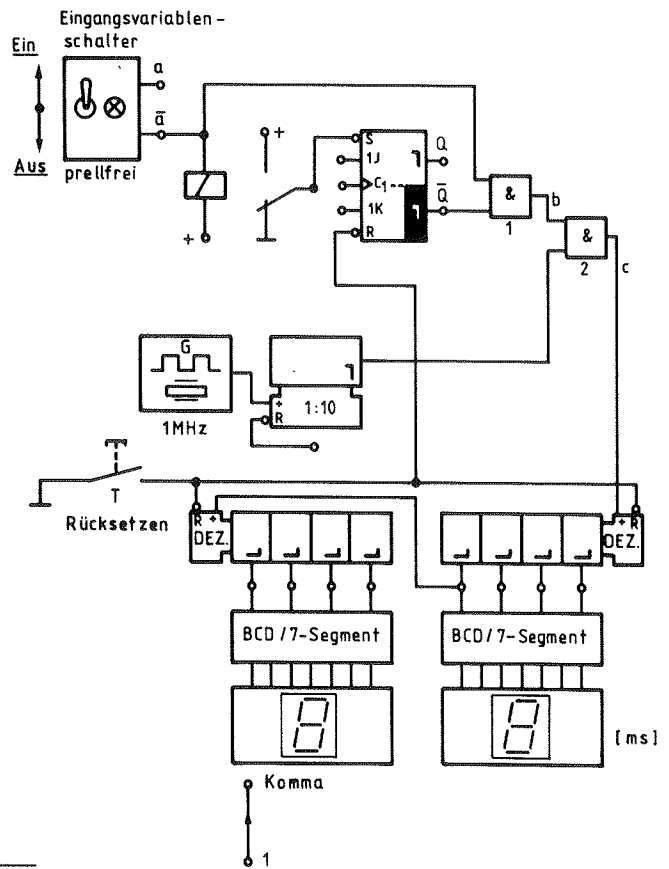
Aufgabe 7 - 8:

Entsprechend der Messung der Anzugszeit eines Relais entwickle man eine ähnliche Schaltung, die die Abfallzeit eines Relais digital mißt.

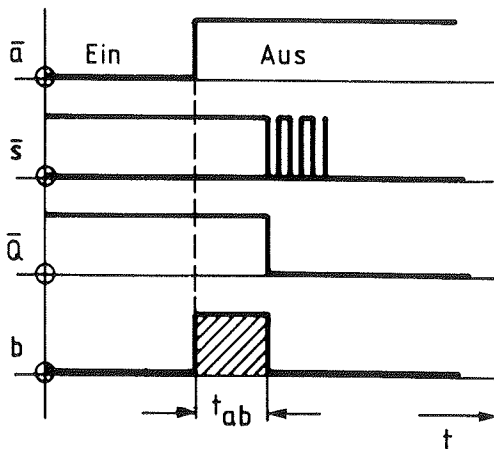
Lösung 7 - 8:

Es muß eine logische Verknüpfung für ein Freigabesignal b gefunden werden, das nur vom Abschaltaugenblick bis zum Abschaltzeitpunkt den Zustand "1" hat.

Ausführbare Schaltung:



Impulsdiagramm:

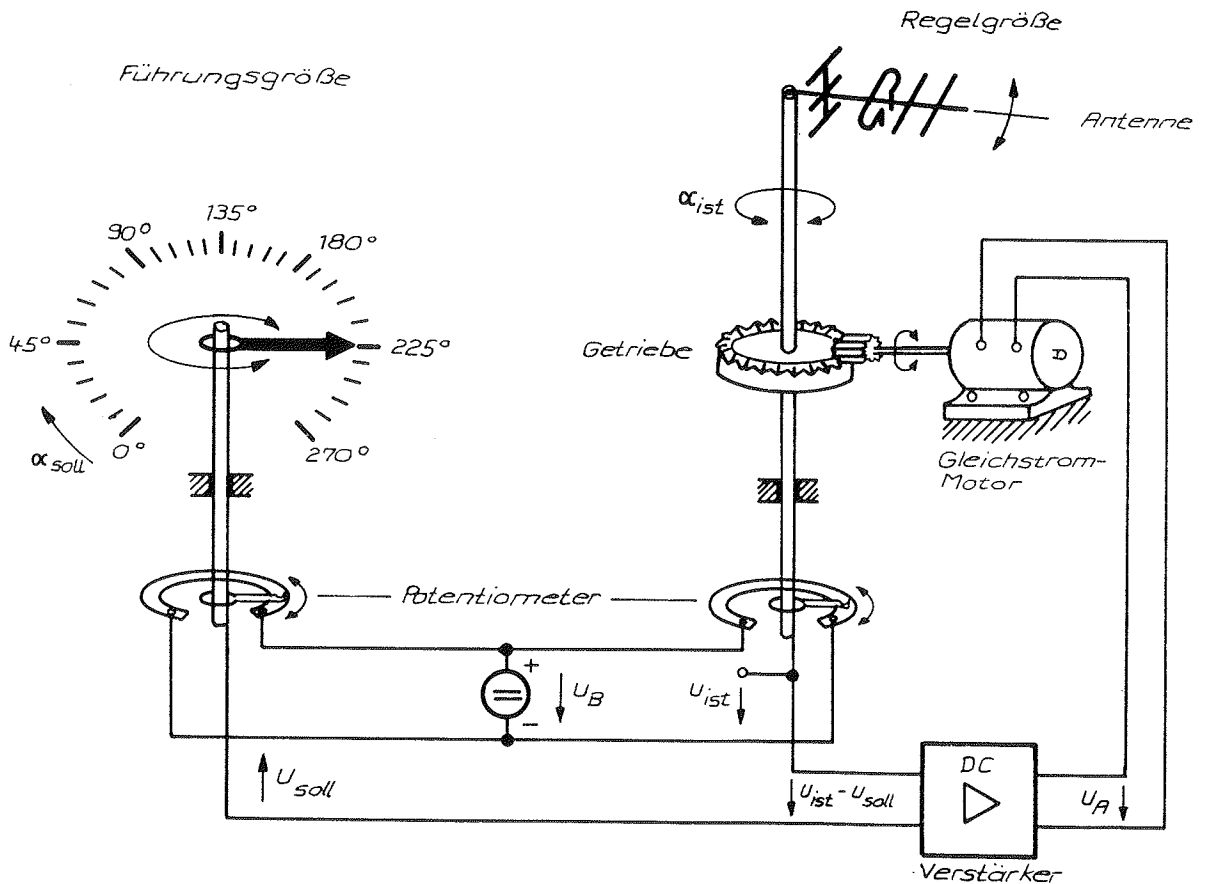


$t_{ab} \approx 0,5 \text{ ms}$

7.21 Digitale Nachlaufregelung

Als Nachlaufregelkreis oder Folgesystem bezeichnet man eine Anordnung, bei der eine zu regelnde Größe (Regelgröße, Istwert) dauernd einer veränderlichen Führungsgröße (Sollgröße) nachgeführt werden soll. Das Prinzip soll anhand einer analogen Antennen-Nachführung kurz besprochen werden.

Prinzipbild:



Die Antenne soll auf den vorgegebenen Sollwert, den Winkel  $\alpha_{soll}$ , möglichst ohne Abweichung nachgeführt werden. Ist der vorgegebene Winkelwert  $\alpha_{soll}$  noch nicht erreicht, ist  $U_{soll} > U_{ist}$  und der Motor dreht sich im Uhrzeigersinn weiter ( $U_A$  neg.). Bei  $U_{ist} > U_{soll}$  ist der erreichte Winkel  $\alpha$  größer als der gewünschte Winkel  $\alpha_{soll}$ . In diesem Fall wird dem Verstärker eine positive Spannung als Regelabweichung zugeführt und der Motor dreht sich gegen den

Uhrzeigersinn. Nur wenn  $U_{\text{Ist}} = U_{\text{Soll}}$  ist, erhält der Motor keine Spannung vom Verstärker und bleibt stehen. Das ist der Fall, wenn Istwert und Sollwert gleich sind. Die digitale Nachlaufregelung unterscheidet sich von der besprochenen analogen Regelung nur in 2 Punkten:

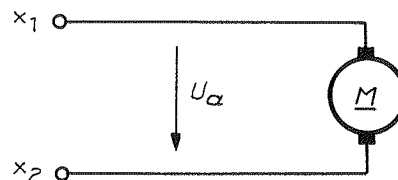
1. Die Motorspannung kann nur zwei konstante Werte annehmen:

$$+ U_a ; - U_a$$

2. Die Umwandlung der Winkel von Führungsgröße und Regelgröße in Spannungswerte muß digital erfolgen. Dazu werden die Winkelbereiche in eine bestimmte Anzahl von Segmenten aufgeteilt und jedem Segment ein duales Codewort zugeordnet (Winkelcodierscheibe).

Es müssen also zwei digitale Signale zur Ansteuerung des Motors zur Verfügung stehen:  $x_1$  und  $x_2$ .

$x_1 = 1 ; x_2 = 0$	Linkslauf	Istwert $A <$ Sollwert $B$
$x_1 = 0 ; x_2 = 1$	Rechtslauf	Istwert $A >$ Sollwert $B$
$x_1 = 0 ; x_2 = 0$	Stillstand	Istwert $A \equiv$ Sollwert $B$



$U_a$ positiv (Linkslauf):	$x_1 = 1 ; x_2 = 0$
$U_a$ negativ (Rechtslauf):	$x_1 = 0 ; x_2 = 1$
$U_a$ Null (Stillstand):	$x_1 = 0 ; x_2 = 0$

Es muß nun eine Schaltung entworfen werden, die feststellt, ob der digitale Istwert  $A$  größer, kleiner oder gleich Sollwert  $B$  ist. ( $A > B$ ,  $A < B$ ,  $A \equiv B$ ).

Wenn die Prüfung  $A > B$  und  $A \equiv B$  erfolgt ist, kann gleichzeitig auch gesagt werden, ob  $A < B$  ist.

Im Grunde können die Vergleicherschaltungen auf S.158...161 (Teil I) bei entsprechender Erweiterung benutzt werden.



Sie sind aber z.B. für eine 4-stellige Dualzahl des Istwertes und Sollwertes recht aufwendig.

Mit Hilfe des vorhandenen 4-Bit-Volladdierers wird der Aufwand geringer.

Mit 4 Bit kann man  $2^4 = 16$  Kombinationen erzeugen, d.h., der gesamte Winkelbereich wird in 16 Segmente unterteilt.

Die Lösung des Problems  $A > B$  erfolgt ähnlich wie eine Subtraktion durch Addition von  $\bar{B}$  ( $\bar{B}$  = Einerkomplement von B) zu A:

$$A + \bar{B} = A + (15 - B) = A - B + 15$$

Wenn  $A > B$ , ist  $A + B$  immer größer als  $16 \hat{=} 1|0 0 0 0$  d.h., der Ausgangsübertrag  $\dot{U}_a$  des 4-Bit-Volladdierers ist eins:

$$\boxed{\dot{U}_a = 1} \quad \text{bzw.} \quad \boxed{x_2 = \dot{U}_a}$$

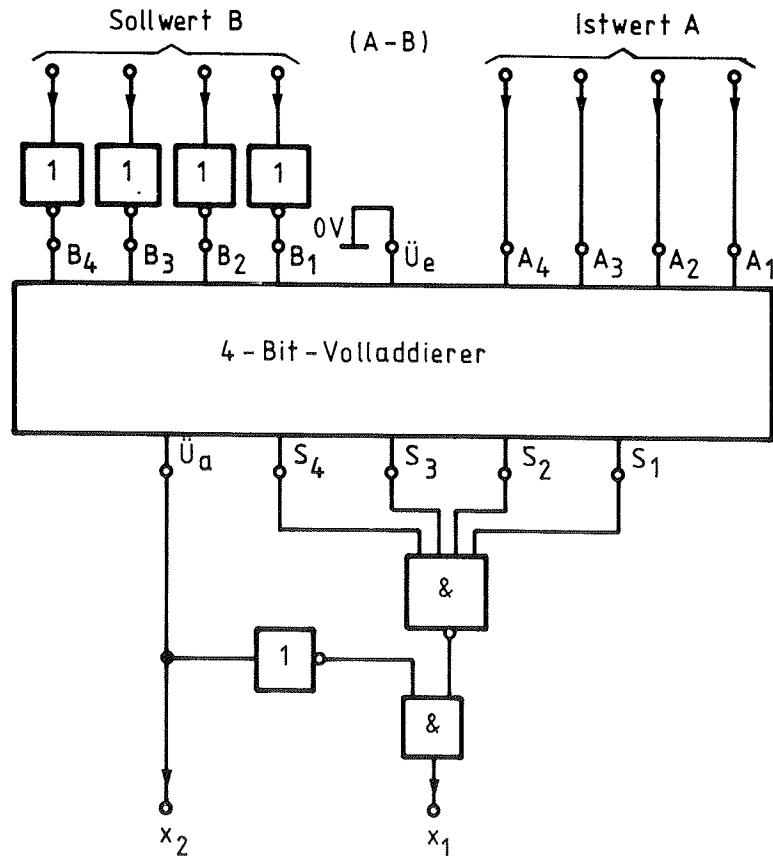
Der Fall  $A \equiv B$  ist ebenfalls leicht zu erkennen.

$$A + \bar{B} = A - \underbrace{B}_{0} + 15 = 15 = \underline{0}|1 1 1 1$$

$$\text{D.h., } \boxed{\dot{U}_a = 0} \quad \text{und} \quad \boxed{S_1 \cdot S_2 \cdot S_3 \cdot S_4 = 1}$$

$$\underline{A < B}: \quad \text{wenn } \dot{U}_a = 0 \quad \text{und} \quad S_1 \cdot S_2 \cdot S_3 \cdot S_4 = 0$$

$$\text{bzw.} \quad \boxed{x_1 = \overline{x_2 \cdot S_1 \cdot S_2 \cdot S_3 \cdot S_4}}$$

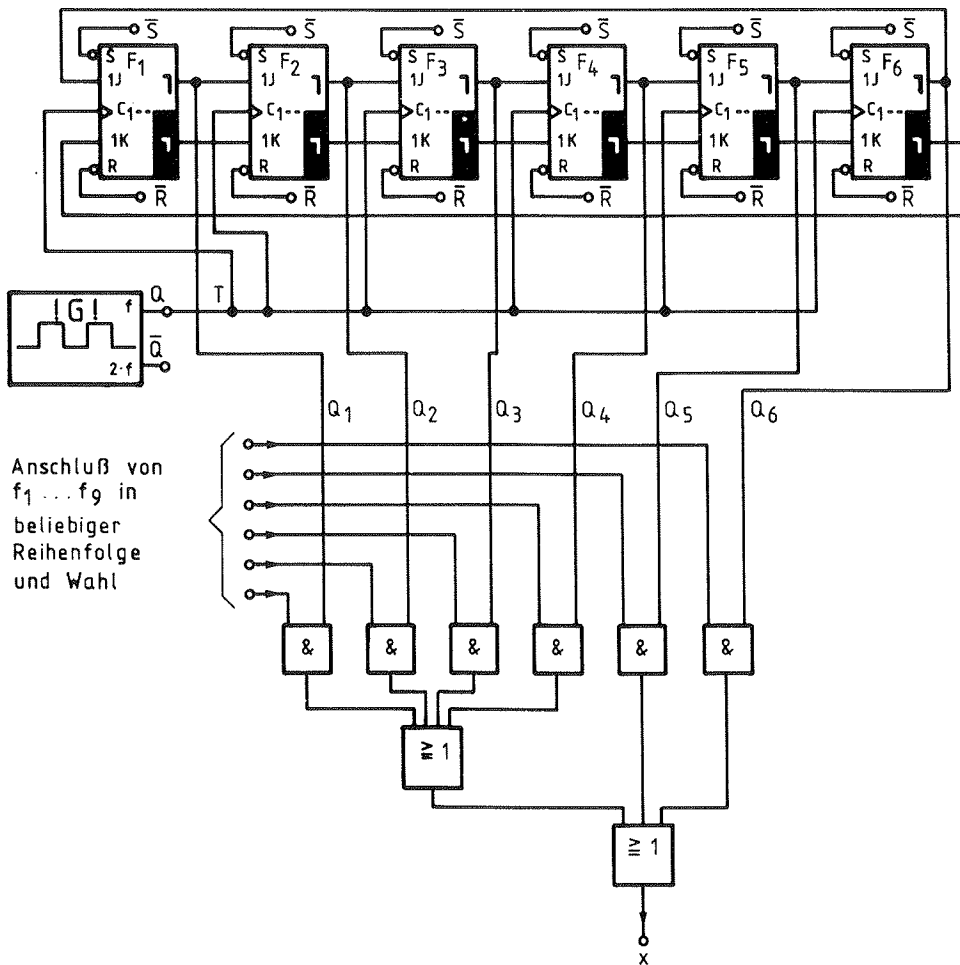
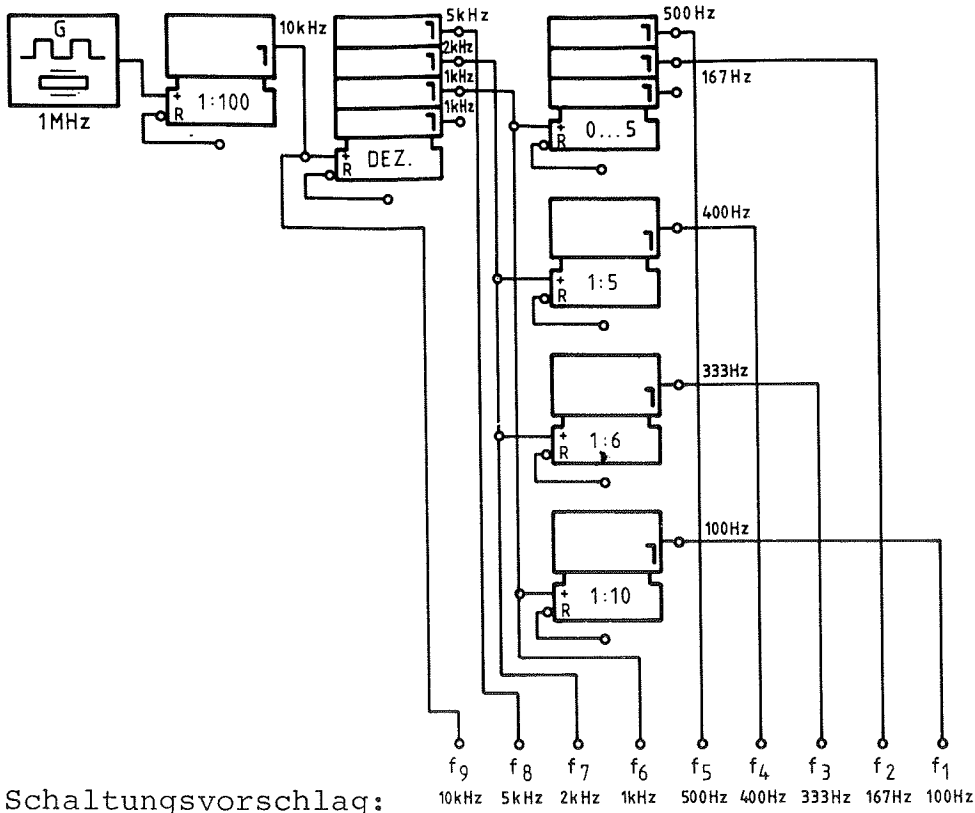
Schaltung:

Diese Anordnung ist natürlich nicht nur zur Nachregelung von Winkeln oder Längen geeignet. Es kann z.B. der Istwert A von einem Istwert-Speicher oder -Zähler herrühren, während der Sollwert B von einem Rauf-Runter-Zähler gebildet wird, dessen Zählakte durch  $x_1$  und  $x_2$  gesteuert werden.

7.22 Elektronische Orgel

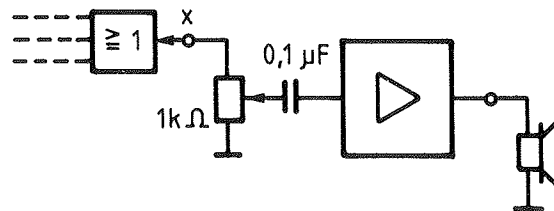
Mit Hilfe der Taktgeneratoren und Untersetzer läßt sich leicht eine elektronische Orgel simulieren.

Durch die Untersetzung stehen Rechteckspannungen verschiedenster Frequenz (= Tonhöhe) zur Verfügung.



Die Flipflops  $F_1 \dots F_5$  sind als 6-stelliges Schieberegister bzw. Ringzähler geschaltet. Durch Setzen eines Flipflops läuft, gesteuert durch den Taktgenerator, eine "Eins" im Ring herum. Dadurch werden nacheinander die UND-Gatter angewählt und die entsprechenden Frequenzen gelangen auf die ODER-Gatter.

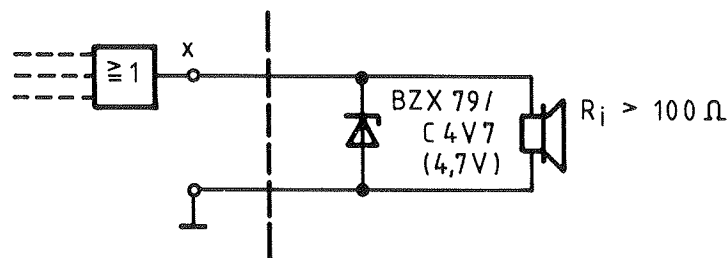
Mit Hilfe eines Verstärkers und eines Lautsprechers können die einzelnen Frequenzen hörbar gemacht werden.



#### Achtung:

Es darf auf keinen Fall direkt ein Lautsprecher, eine Hörschale oder ein Kopfhörer an den x-Ausgang angeschlossen werden. Da diese Systeme induktiv sind, treten beim Schalten Induktionsspannungen auf, die die Bausteine zerstören können!

Direkter Anschluß eines Kopfhörers:



Laufen mehr als eine "Eins" im Ring herum, entstehen interessante Tonüberlagerungen ("Akkorde").

Durch den Taktgenerator ist die Tondauer stets gleich lang. Taktet man das als Ringzähler geschaltete Schieberegister mit dem auf S. 157 beschriebenen Zufallsgenerator, erhält man zusätzlich noch einen Rhythmus.

Will man den Rhythmus vorprogrammieren, kann dies mit einem Zähler erfolgen, der die vorgegebenen Zustände (= Tondauern) nacheinander durchläuft (S. 65). Mit einem der Flipflopaustritte des Zählers wird dann das Schieberegister getaktet.

Ebenfalls ist es möglich, während einer Phase keine Frequenz anzuwählen oder einen Ringzähler mit noch mehr Speicherplätzen zu benutzen.